

## 論文

## 携帯電話向けカメラモジュール用 AFE の開発

Analog Front End for Camera Modules for Cellular Phones

谷 仁\*<sup>1</sup>      藤 本 義 久\*<sup>1</sup>      丸 山 正 彦\*<sup>2</sup>      赤 田 博 之\*<sup>2</sup>  
Hitoshi Tani      Yoshihisa Fujimoto      Masahiko Maruyama      Hiroyuki Akada  
小 川 広 明\*<sup>2</sup>      飯 塚 邦 彦\*<sup>1</sup>      宮 本 雅 之\*<sup>1</sup>  
Hiroaki Ogawa      Kunihiro Iizuka      Masayuki Miyamoto

## 要 旨

携帯電話向けカメラモジュールの高画質化及び低消費電力化を実現するアナログ・フロントエンド (AFE) を開発した。主な特長は、独自の高精細ゲイン制御技術と低消費電力化回路技術を有することである。AFEの主要ブロックである可変ゲイン増幅器 (VGA) において、負帰還と共に正帰還を有するスイッチトキャパシタ (SC) 回路を適用することにより、ゲインレンジ 0 ~ 24dB, ゲインステップ 0.094dB を実現した。また、上記 SC 回路のスイッチ動作を工夫することにより、消費電力を 30% 削減した。本稿では、VGA のゲイン制御技術及び低消費電力化技術について解説する。

The authors have developed an Analog Front End (AFE), which enables camera modules for cellular phones to achieve higher picture quality and lower power consumption.

This paper describes circuit design technique for high accuracy gain control and low power consumption, which are key features of the AFE. One of its main blocks is a Variable Gain Amplifier (VGA) composed of a new Switched Capacitor (SC) circuit with both positive and negative feedback, which enables the VGA to achieve a gain range from 0 to 24 dB and a gain step of 0.094 dB. A new switching operation for SC circuit reduces the power consumption by 30 percent.

## まえがき

近年、デジタルスチルカメラ、ビデオカメラ、PDAなどで幅広く利用される CCD/CMOS イメージセンサの市場は世界規模に拡大している。特に携帯電話用カメラモジュールは需要の伸びが著しく、高画素化、高画質化、小型化、低消費電力化などの開発競争が激しい。当社は 2000 年 11 月に 11 万画素 CMOS イメージセンサを内蔵した携帯電話を発売以降、これまで携帯電話用カメラモジュールの開発に積極的に取り組んできた。

今回、我々は高画質化及び低消費電力化を実現する携帯電話用カメラモジュールのアナログ・フロントエンド (AFE: Analog Front End) の開発を行った。AFE には主要ブロックである可変利得増幅器 (VGA: Variable Gain Amplifier) があり、出力信号レベルを一定に

保つために入力信号レベルの変化に応じて利得 (ゲイン) を調整する役割を担っている。VGA はカメラモジュールの高画質化に伴い、高精度のゲイン制御が要求されるため、今回独自のスイッチトキャパシタ (SC) 回路を開発、適用した。また、カメラモジュールの高画素化に伴い、VGA は高速に動作して消費電力が増大するため、SC 回路の低消費電力化技術を開発、適用し、従来の VGA と比べて消費電力を 30% 削減した。

以下に、AFE の概要、VGA の低消費電力ゲイン制御技術及び低消費電力 SC 回路技術について述べる。

## 1. アナログ・フロントエンド (AFE)

図 1 に CCD カメラモジュールの AFE と周辺ブロックを示す。AFE の主要ブロックとして、信号の低周波

\*<sup>1</sup> 技術本部 デバイス技術研究所 第 4 研究室\*<sup>2</sup> IC 事業本部 要素技術開発センター 第 1 開発室

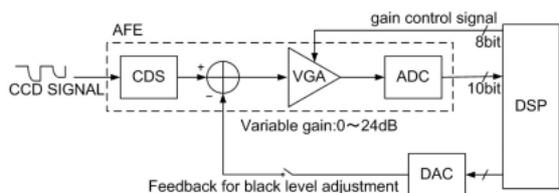


図1 CCDカメラモジュールのアナログ・フロントエンド  
Fig. 1 AFE for CCD camera modules.

ノイズを除去する相関二重サンプリング (CDS : Correlated Double Sampling) 回路, 可変利得を有するVGA, アナログ信号をデジタル信号へ変換するアナログ・デジタル変換器 (ADC : Analog-to-Digital Converter) がある。また, 周辺ブロックとして, デジタル信号を高速に処理するデジタル信号プロセッサ (DSP : Digital Signal Processor), デジタル信号をアナログ信号へ変換するデジタル・アナログ変換器 (DAC : Digital-to-Analog Converter) がある。

AFEでは, CCDからのアナログ信号をCDS回路にてノイズ除去し, VGAにてDSPからのゲイン設定信号に応じて増幅した後, ADCにてデジタル信号へ変換する。DSPのゲイン設定信号は8ビットである。また, 黒レベル信号を最適化するために, DSPからの制御信号がDACを通してVGAの入力へ負帰還する。

## 2. 可変利得増幅器 (VGA)

今回開発したVGAは2段構成であり, VGAの前段 (VGA1) 及び後段 (VGA2) の回路をそれぞれ図2, 図3に示す<sup>1)</sup>。両図に示すように, VGAの回路はスイッチ, キャパシタ, 演算増幅器 (OPAMP) から構成されるSC回路である。演算精度の劣化を低減するために, OPAMPを2段構成にしてDCゲインを高くした。以下に, 低消費電力ゲイン制御技術及び低消費電力SC回路技術について解説する。

### 2.1 低消費電力ゲイン制御技術

ゲイン仕様はVGA1がレンジ0~18dB, ステップ6dB, VGA2がレンジ0~6dB, ステップ0.094dBであり, 特にVGA2において高精度のゲイン制御が要求される。DSPのゲイン設定信号はVGA1が2ビット, VGA2が6ビットである。図2に示すように, VGA1ではOPAMPの入出力端子間に接続されるフィードバックキャパシタの容量を可変にすることでゲインを決定する。一方, 精細なゲインステップが要求されるVGA2では, 負帰還 (negative feedback) と正帰還 (positive feedback) を併用する独自の構成を用いることで, デシベルスケールのゲイン (デシベルゲイン)

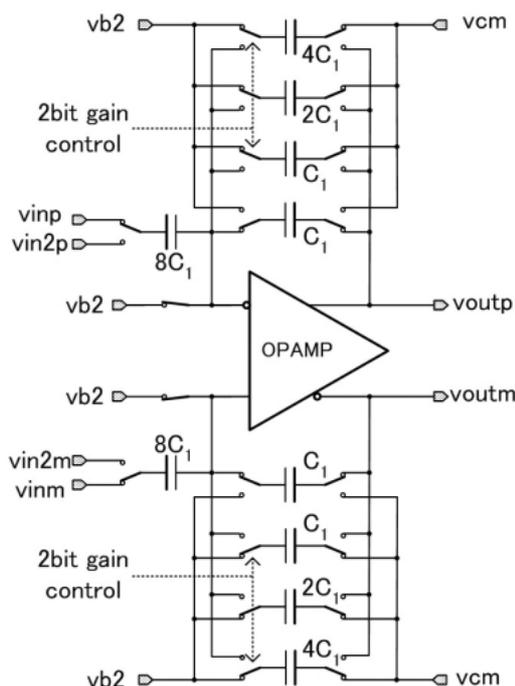


図2 VGA1回路  
Fig. 2 VGA1 circuit.

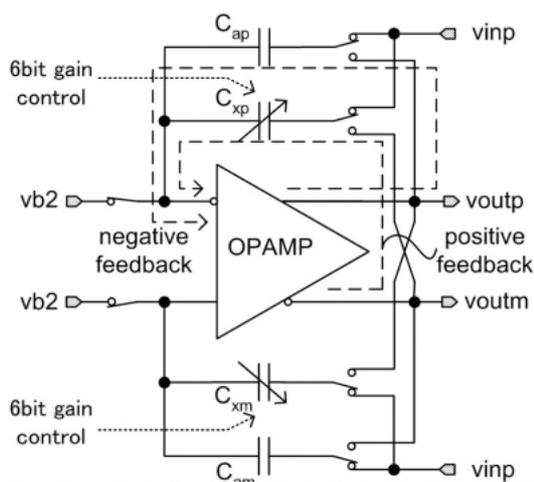


図3 VGA2回路  
Fig. 3 VGA2 circuit.

を実現する。以下, 2.1.1では従来技術について, 2.1.2では独自技術について説明する。

#### 2.1.1 従来技術

デシベルゲインを制御するための理論について説明する。式(1)は指数関数の一次近似式である。

$$e^{2x} \sim \frac{1+x}{1-x} \quad (1)$$

そして、VGAにおいてサンプリングするキャパシタと帰還経路に用いるキャパシタの容量比をこの一次近似式に等しくすることにより、指数関数的に変化するゲインを線形に変化するキャパシタを用いて実現できる。以下にこの理論を実現する回路技術について解説する。

従来のVGA回路を図4に示す<sup>2)</sup>。入力信号をサンプリングする可変キャパシタの容量を(Ca+Cx)、帰還経路に用いる可変キャパシタの容量を(Ca-Cx)に設定することで、この増幅器のゲインGは式(2)に示すことができる。ただし、Ca > Cxである。

$$G = \frac{C_a + C_x}{C_a - C_x} = \frac{1 + C_x/C_a}{1 - C_x/C_a} \quad (2)$$

従って、式(1)、(2)よりゲインGは指数関数的に変化する。

しかし、今回の仕様に対していくつかの課題がある。低消費電力化、kTCノイズの低減、回路のコンパクト化が挙げられる。

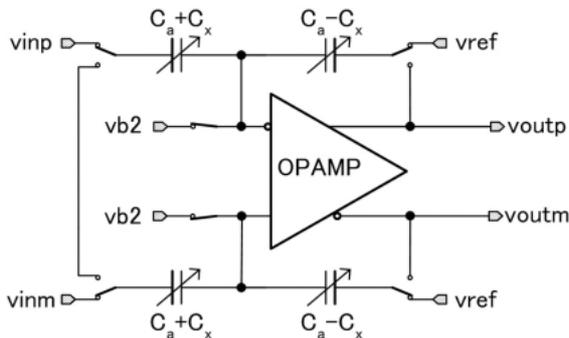


図4 従来のVGA回路  
Fig. 4 Conventional VGA circuit.

### 2・1・2 独自技術

上記課題を解決するための回路が図3である。この回路の特徴は、ホールドフェーズにおいて負帰還経路を形成するキャパシタCap, Camに加えて、正帰還経路を形成し、ラダー型のSCで構成される可変キャパシタCxp, Cxmを有することである。負帰還と正帰還を併用することにより、ゲインGは従来技術と同様、式(2)に示す指数関数近似式で表すことができ(ただし、Cap = Cam = Ca, Cxp = Cxm = Cx, Ca > Cx)、デシベルゲインを有するVGAを実現できる。また、従来と比べて、利得帯域幅の改善及びkTCノイズの低減を実現できる。従来回路と新規回路の帰還定数についてそれぞれ式(3)、(4)に示す。

$$\beta_{con.} = \frac{C_a - C_x}{2C_a} = \frac{1 - C_x/C_a}{2} \quad (3)$$

$$\beta_{pro.} = \frac{C_a - C_x}{C_a + C_x} = \frac{1 - C_x/C_a}{1 + C_x/C_a} \quad (4)$$

利得帯域幅は帰還定数の大きさに比例するので、式(3)、(4)より、同一のOPAMPを用いる場合に利得帯域幅が改善することがわかる。また、従来回路と新規回路のkTCノイズについて出力換算した式をそれぞれ式(5)、(6)に示す。

$$\bar{V}^2_{con.} = 2 \frac{2kTCa}{(C_a - C_x)^2} \quad (5)$$

$$\bar{V}^2_{pro.} = 2 \frac{kT(C_a + C_x)}{(C_a - C_x)^2} \quad (6)$$

ただし、kはボルツマン定数、Tは絶対温度である。式(5)、(6)よりkTCノイズが低減することがわかる。

利得帯域幅、スイッチの熱ノイズ、キャパシタ容量の総和について両回路の比較を表1に示す。ただし、Ca = 3 × Cx, かつ電流の大きさは等しいものとする。ここで、利得帯域幅に着目すると、新規回路は従来よりも帯域幅が1.5倍大きい。よって、新規回路はより少ない電流量で従来と同じ帯域幅を実現できるため消費電力を削減できる。また、スイッチの熱ノイズが約30%低減することにより、新規回路はキャパシタサイズを約30%小さくできるため回路面積を削減できる。本VGAの特長をまとめると、(1)デシベルゲインを簡単な構成で実現できる、(2)低消費電力化、回路のコンパクト化が可能である、以上が挙げられる。

表1 VGA性能比較

Table 1 Comparison of VGA performance.

	conventional	proposed
Bandwidth	∞ 1/3	∞ 1/2
Switch noise	9kT/Ca	6kT/Ca
Total capacitance	4Ca	2.66Ca

### 2・2 低消費電力SC回路技術

2段演算増幅器を用いたSC増幅器(SCA: Switched Capacitor Amplifier)の低消費電力化回路技術を開発した。そして、2・1・2記載のVGAに適用することにより、消費電力を30%削減した。以下に、SCAの回路設計における従来技術及び開発した独自技術について説明する。

### 2・2・1 従来技術

従来の SCA 回路を図 5 に示す<sup>3)</sup>。この図はホールドフェーズ時の回路である。サンプリングフェーズにおいてキャパシタ  $C_S$  にサンプリングされた入力信号  $V_{IN}$  は、ホールドフェーズにおいてキャパシタ  $C_S$  と帰還路のキャパシタ  $C_F$  の比  $C_S/C_F$  で 2 段 OPAMP により増幅される。そして、それと同時に OPAMP は負荷キャパシタ  $C_L$  を充電するので、OPAMP には非常に大きな負荷が生じることとなる。また、サンプリングフェーズでは後段の演算増幅器 (2nd OPAMP) は演算処理をしていないにもかかわらず電力を消費してしまうことから、いずれのフェーズにおいても改善すべき課題がある。

### 2・2・2 独自技術

上記課題を解決するための新規回路を図 6 に示す<sup>4)</sup>。この回路の特徴は前段の演算増幅器 (1st OPAMP) と 2nd OPAMP の間に設けたスイッチ (SW1) である。このスイッチはサンプリングフェーズでオフ、ホールドフェーズでオンの状態になる。また、負荷キャパシタ  $C_L$  に接続するスイッチは SW1 と逆相で動作する。これにより、サンプリングフェーズでは入力信号  $V_{IN}$  がキャパシタ  $C_S$  にサンプリングされ、それと同時に前ホールドフェーズで増幅した信号が 2nd OPAMP と位

相補償キャパシタ  $C_C$  によって保持されると同時に負荷キャパシタ  $C_L$  に充電される。一方、ホールドフェーズでは前サンプリングフェーズにて  $C_S$  にサンプリングされた信号が 2 段 OPAMP により増幅されるが、2nd OPAMP と  $C_L$  は接続されない。よって、入力信号の増幅と負荷キャパシタへの充電が異なるタイミングで行われ、その結果 2 段 OPAMP の負荷を大きく削減できる。

また、従来と比べて、利得帯域幅とスルーレートを改善することができる。それぞれについて両回路の比較を表 2 に示す。ただし、 $C_S = C_F = C_L = C_C$ 、かつ電流の大きさは等しいものとする。また、 $g_{m2}$  は 2nd OPAMP のトランスコンダクタンス、 $I_2$  は 2nd OPAMP の電流の大きさである。表 2 より、新規回路は従来よりも利得帯域幅が 2 倍、スルーレートが 5 倍それぞれ大きい。よって、新規回路はより少ない電流量で従来と同じ利得帯域幅及びスルーレートを実現できるため消費電力を削減できる。

表 2 SCA 性能比較

Table 2 Comparison of SCA performance.

	conventional	proposed
Bandwidth	$\frac{g_{m2}}{2C_L}$	$\frac{g_{m2}}{C_L}$
Slew rate	$< \frac{2I_2}{5C_L}$	$< \frac{2I_2}{C_L}$

## 3. VGA 仕様

新規 SCA を適用した VGA の試作チップを写真 1 に示す。サイズは  $0.49 \times 0.49 \text{mm}^2$  である。試作は MIM キャパシタと 4 層メタル構造を適用した  $0.25 \mu\text{m}$  標準 CMOS プロセスを用いた。

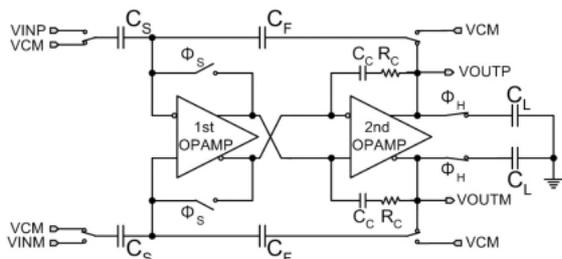


図 5 従来の SCA 回路

Fig. 5 Conventional SCA circuit.

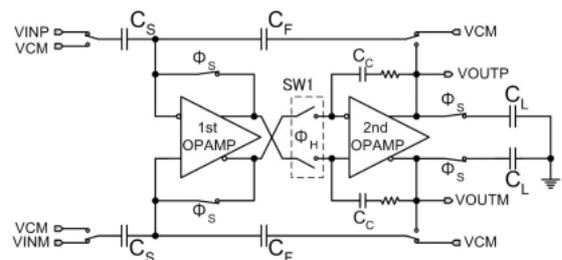


図 6 新規 SCA 回路

Fig. 6 Proposed SCA circuit.

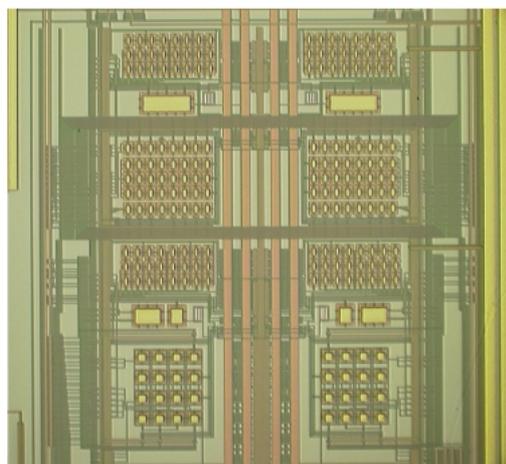


写真 1 試作チップ

Photo 1 Test chip.

表3に今回開発したVGAの仕様を示す。ゲインは要求仕様を満たしており、また微分非線形性(DNL)誤差が±1LSB以内であるためミッシングコードがないことが保証される。消費電力については新規SCAを適用しないとときと比較して30%の削減を実現した。

表3 VGA仕様  
Table 3 Specifications of VGA.

Sampling rate	18 MHz
VGA gain range	0 to 24 dB
VGA gain step	0.0939 dB
VGA gain linearity (DNL)	0.63 LSB
Power consumption (w/o proposed SCA)	18.7 mW @3.1V (26mW)

## むすび

携帯電話用カメラモジュールのAFEを開発し、モジュールの高画質化及び低消費電力化の実現に貢献した。今後も携帯電話用カメラモジュールの高画素化、高画質化が進むと考えられるため、AFEのさらなる

低消費電力化、高速動作化を実現する新規技術開発を進める。

## 謝辞

本開発にあたり、多大なご指導とご協力を頂きましたIC事業本部要素技術開発センター、技術本部デバイス技術研究所の関係各位に深く感謝致します。

## 参考文献

- 1) Y. Fujimoto, K. Iizuka, M. Miyamoto et al., "A Switched-Capacitor Variable Gain Amplifier for CCD Image Sensor Interface System", European Solid-State Circuits Conference (2002).
- 2) K. Nakamura, S. Decker et al., "A CMOS Analog Front-End Chip-Set for Mega Pixel Camcorders", ISSCC Digest of Technical Papers, pp.190-191 (Feb. 2000).
- 3) L. Singer and T. Brooks, "A 14-bit 10-MHz calibration-free CMOS Pipelined A/D converter", IEEE Symposium VLSI Circuits, pp.94-95 (1996).
- 4) H. Tani, Y. Fujimoto, M. Miyamoto et al., "A Low Power Sample-and-Hold Amplifier", European Solid-State Circuits Conference (2003).

(2003年9月30日受理)