

# 携帯機器向け地上デジタルテレビ放送用1セグメントチューナ

A Digital Terrestrial Television 1-segment Tuner for Mobile Appliances

豊山 慎治* <sup>1</sup> Shinji Toyoyama	川村 博史* <sup>1</sup> Hiroshi Kawamura	籠島 謙知* <sup>1</sup> Kanetomo Kagoshima	貴島 洋史* <sup>1</sup> Hiroshi Kijima	佐藤 俊一* <sup>1</sup> Shunichi Satoh
田中 誠一* <sup>1</sup> Seiichi Tanaka	作野 圭一* <sup>1</sup> Keiichi Sakuno	河間 修一* <sup>2</sup> Shuichi Kawama	東 慎一郎* <sup>2</sup> Shinichiro Azuma	幸谷 真人* <sup>2</sup> Masato Koutani
	飯塚 邦彦* <sup>2</sup> Kunihiko Iizuka	長谷川 隆生* <sup>3</sup> Takao Hasegawa		

## 要 旨

日本の地上デジタルテレビ放送 (ISDB-T) では、携帯機器向けに1セグメント (430kHz) のみを用いた放送が行われる。この放送を携帯機器で受信するためのLow-IFアーキテクチャの1チップチューナICを、SiGe BiCMOS プロセスを用いて試作した。固定減衰器つきの増幅器を連続的に切り替えることで60dB以上の利得可変幅を実現した利得可変低雑音増幅器、バイポーラトランジスタの適用により $11\text{nV}/\sqrt{\text{Hz}}$ の低入力換算ノイズを達成したアンチエイリアス機能内蔵のスイッチトキャパシタフィルタを採用した。試作したICは消費電力が160mWで、1セグメントISDB-T受信に必要な性能を満たすことを確認した。

Japanese digital terrestrial television broadcast (ISDB-T) will provide the service for mobile appliances using 1-segment (430kHz) bandwidth. An integrated tuner IC for a mobile receiver of the 1-segment service is designed with low-IF architecture and SiGe BiCMOS process. The variable gain LNA (Low Noise Amplifier) achieves more than 60dB variable range by continuous switching of amplifiers with a fixed attenuator. The switched capacitor filter incorporating embedded anti-alias filtering realizes input referred noise as low as  $11\text{nV}/\sqrt{\text{Hz}}$  by introducing bipolar transistors. The total IC consumes 160 mW and satisfies the requirements for 1-segment ISDB-T tuners.

## まえがき

2003年12月に開始された日本の地上デジタルテレビ放送 (ISDB-T) は、据え置き型TVでハイビジョン放送を受信する「固定受信」だけでなく、携帯電話やPDAなどの携帯端末で簡易動画放送を受信する「携帯受信」も重要な応用として仕様が策定されている。ISDB-Tは、放送波の伝送方式としてOFDM (Orthogonal Frequency Division Multiplexing: 直交周波数分割多重) を使うことにより、従来の携帯型地上アナログテレビの受信では受信特性の大きな劣化を引き起こしていたフェージングやゴーストに耐えうるようになってきている。さらに、地上デジタル放送1チャンネル (帯域幅: 6MHz) を14個のセグメントに等分 (内

1セグメントは隣のチャンネルとのガード帯域として使用される) し、中心の1セグメント (帯域幅: 約430kHz) を携帯受信に割り当てる。携帯受信用放送では、データ転送量が小さい代わりに所要C/Nが低いQPSK (Quadrature Phase Shift Keying) または16QAM (Quadrature Amplitude Modulation) の変調方式を採用することにより、固定受信の変調方式である64QAMより受信に必要なC/Nが低くなっている。携帯受信用放送は1, 2年のうちにスタートする予定であり、携帯端末、特に携帯電話向けの新しいサービスとして広く普及することが期待される。

しかし、地上デジタルテレビ放送の受信機能をバッテリー駆動の携帯端末に組み込むには、受信用チューナの低消費電力化及び小型化が重要な課題となる。さら

\*<sup>1</sup> 技術本部 デバイス技術研究所 第2研究室      \*<sup>2</sup> 技術本部 デバイス技術研究所 第4研究室

\*<sup>3</sup> モバイル液晶事業本部 第1設計センター 第1開発部

に、携帯受信は固定受信とは大きく受信環境が異なり、携帯受信を行っている端末自体が携帯電話の基地局と送受信を行う場合、携帯受信を行っている端末のアンテナのすぐ近くで他の携帯電話が大電力で送受信を行う場合等、過大な妨害波を受ける要因が数多くあり、妨害波に対する耐性、すなわちチューナの歪特性（線形性）の向上が特に重要な課題となる。

本論文は、SiGe BiCMOSプロセスを用いて開発した地上デジタルテレビ放送用1セグメントチューナIC<sup>1)</sup>に関し、チューナIC全体のアーキテクチャ、そのキーとなる要素回路技術、及び試作ICの測定結果について述べる。

### 1. チューナICのアーキテクチャ

#### 1.1 Low-IFアーキテクチャ

本チューナICは、受信した470-770MHzのUHF信号を中心周波数が500kHzというベースバンド周波数に近接するほどの低周波のIF信号に直接周波数ダウンコンバートするシングルコンバージョン Low-IFアーキテクチャを採用している（図1）。携帯受信用の1セグメント（帯域幅：約430kHz）は1チャンネル（帯域幅：6MHz）のほぼ中心にあるので、IF周波数として500kHzを選択することにより、折り返しにより所望信号に重なるイメージ信号が所望信号と同じチャンネルの地上デジタルテレビ放送信号であることが保証される（図2）。従って、イメージ信号と所望信号との電力差を生じさせるのは周波数選択性フェージングだけであり、30dBのイメージ除去比で所望の特性を満足させることができる。また、IF周波数が低いことにより、チューナICにつながるOFDM復調LSIにおけるA/Dコンバータのサンプリング周波数を下げることができ、受信モジュール全体としての消費電力を削減することができる。

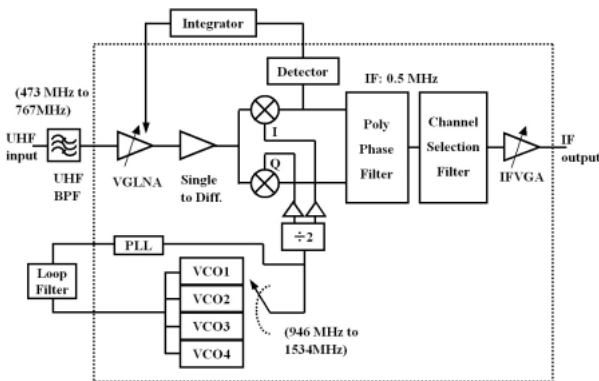


図1 Low-IFチューナICアーキテクチャ  
Fig. 1 Low-IF tuner IC architecture.

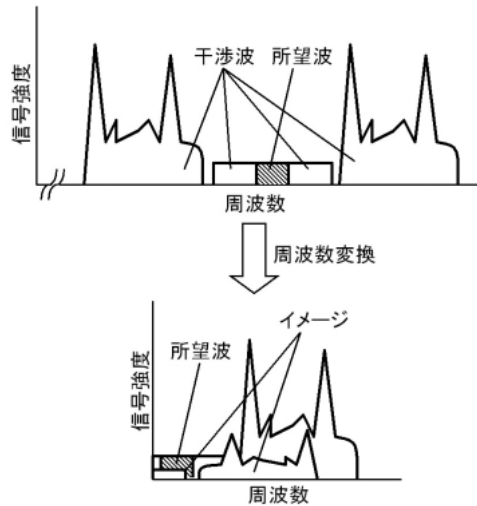


図2 Low-IFアーキテクチャにおけるイメージ妨害  
Fig. 2 Image interfere in Low-IF architecture.

#### 1.2 線形性

通常の据え置き型TV用チューナでは、妨害波を除くため、チューナ入力部に通過帯域を調整できる狭帯域なトラッキングフィルタが一般的に使われているが、巻き線コイル等の大型部品が多用されているために小型化が困難であるとともに、トラッキング周波数制御に30Vという携帯電話のバッテリー電圧よりもはるかに高い電圧を必要とする。従って、このトラッキングフィルタを携帯受信用のチューナに組み込むことはきわめて困難である。そこで、本チューナICは、チューナ入力部にトラッキングフィルタを使用せず、UHFバンドパスフィルタのみを使用することを前提にして設計を行った。

しかし、トラッキングフィルタを使用しないことにより、チューナICに対する線形性の要求は一段と厳しくなる。例えば、他の携帯電話が非常に近い場所で使われたとき、フロントエンドのUHFバンドパスフィルタを用いても最大で-30dBmの信号強度をもつ妨害信号がチューナのRF入力に入る可能性がある。一般に過大な信号がチューナに入力された場合、チューナは一定の利得を維持することができなくなり、利得低下によって出力信号に歪を生じる。このような利得低下は利得圧縮と呼ばれるが、歪を許容値以下にするためには1dB利得圧縮ポイントを妨害波レベルよりも10dB以上高くする必要がある。すなわち、-30dBmの妨害波に対して、1dB利得圧縮ポイントは-20dBm以上であることが必要である。デバイスの歪指標として一般的に使用されている入力換算の3次インターセプトポイント（IIP3）としては-10dBm以上が要求されることになる。

### 1・3 イメージ除去方式

イメージ除去には Hartley アーキテクチャを採用した。これは、RF 信号を IF 信号に周波数変換するとき、位相が90度ずれた2つの局部発振信号を使って互いに直交した2つのIF信号を作り、これら2つのIF信号を移相器でそれぞれ±45度ずらした後、2つのIF信号を加算することで、イメージ除去するものである。実際の移相器として、抵抗、キャパシタからなる1次フィルタを4段重ねたPPF (Poly Phase Filter) を用いる。PPFに続くIFフィルタは、所望信号を選択するとともに、チューナにつながるOFDM復調IC内部で2Mサンプル/sで信号をサンプリングするA/Dコンバータのためのアンチエイリアシングフィルタとして働く。

### 1・4 利得

チューナ ICへの希望波入力レベルが-96dBm ~ -20dBm となることを想定しており、トータルの利得制御幅は80dB程度が必要となる。この利得幅の中で、60dB を利得可変低雑音増幅器 (Variable Gain Low Noise Amplifier : VGLNA) がカバーする。

## 2. 利得可変低雑音増幅器 (VGLNA)

携帯受信の幅広い受信電力に対応するため、利得可変低雑音増幅器 (VGLNA) の利得可変範囲は60dBとかなり大きい。受信電力が小さいときには、高い利得と低い雑音特性が要求される。

一方、送信基地局に近い場合には、その送信基地局から送信される多数のチャネルの信号がすべて利得可変低雑音増幅器に入力される。この場合、所望の信号の受信電力は比較的高いので雑音特性や利得はそれほど要求されないが、総受信電力が高くなるため高い線形性が要求される。

この2つの要求を満足するため、高利得低雑音増幅器と減衰器つき増幅器を組み合わせる利得可変低雑音増幅器を構成した。減衰器を入れることにより、消費電力を増加させずに高い線形性を得ることができる。ここで重要なことは、受信電力に応じて高利得低雑音特性と高線形性特性を連続的に切り替えることである。我々は、高利得低雑音増幅器と減衰器つきの増幅器をアナログ的に制御し、このような特性を実現した。

本チューナ ICに採用した VGLNA のアーキテクチャは、B. Gilbert が提案した利得可変増幅器<sup>2)</sup>をもとに改良を加えたものである。我々の提案する利得可変低雑音増幅器の大きな特長は、入力をシングルエンドとしたことと、4つのカスコード増幅器のバイアス

電流制御方法である。

まず、入力のシングルエンド化について述べる。文献1では差動入力となっているが、アンテナやUHF帯のフィルタはシングルエンドとなっているため、それらとチューナを接続するためにはバランが必要となる。チューナのように1オクターブ近い帯域を持つバランを実現することは容易ではない。そこで、増幅器をシングルエンド化した。図3は、利得可変低雑音増幅器のコア部を示す。1段当たり26.6dB減衰させる3段の容量性固定減衰器と、それぞれの固定減衰器に接続された4つのカスコード増幅器で構成される。シングルエンド化する際に問題となるのが、増幅器を連続的に切り替えるための制御回路である。文献1ではそれぞれの増幅器が差動回路で構成され、その差動回路のエミッタを電流制御素子に接続し、すべての増幅器の電流制御素子が1つの電流源に接続されている。これにより総エミッタ電流が一定となり、その電流配分を制御することにより、それぞれの増幅器のエミッタ電流を連続的に制御する回路構成となっている。差動型増幅器の場合には、増幅器のエミッタと接地の間に入る電流制御回路が発生する雑音は増幅器自身の雑音にあまり影響しないため、このような方法が適用できる。しかし、シングルエンド型増幅器の場合には、雑音を発生する電流制御回路を増幅器と接地の間に挿入すると、その回路の雑音がそのまま増幅されるため、増幅器の雑音特性が大きく劣化する。従って、そのような電流制御回路を増幅器と接地の間に挿入することができない。そこで、電流制御回路をエミッタと接地の間に入れる代わりにベース電流 I1, I2, I3, I4 を制御することにより、増幅器を連続的に切り替える回路形式とした。

次に、ベース電流を制御するバイアス電流制御方法について述べる。バイアス電流制御回路としては、図4に示されるように差動対を多段化した回路構成を

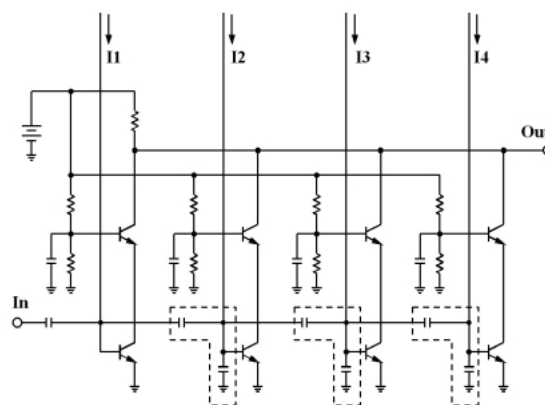


図3 利得可変低雑音増幅器のコア部の回路図  
Fig. 3 VGLNA core circuit schematic.

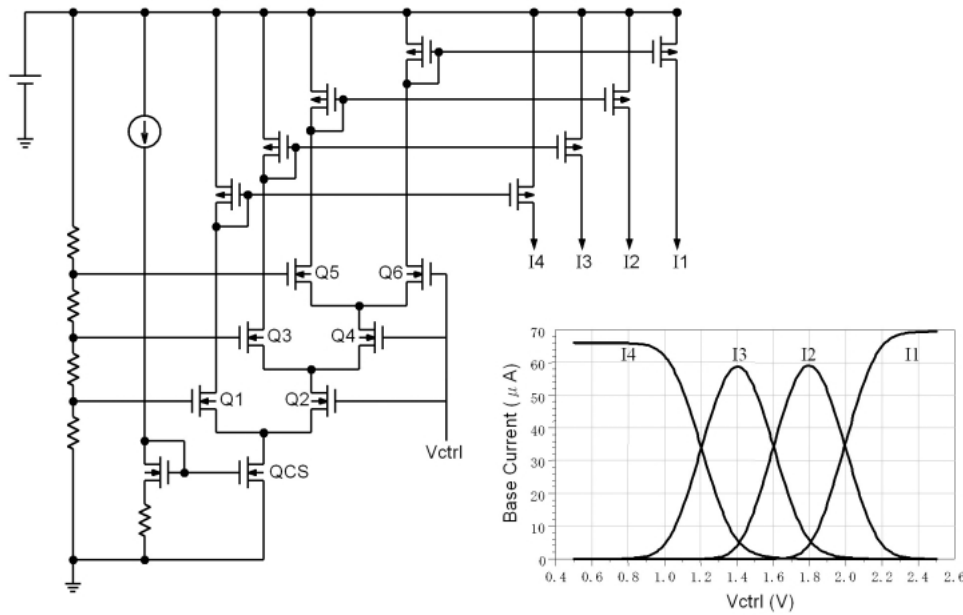


図4 利得可変低雑音増幅器のベース電流制御  
Fig. 4 Base current control of VGLNA.

用いた。この回路では、定電流源QCSに供給する電流はQ1, Q2で構成される差動対により分担される。制御電圧Vctrlが低く、Q1のゲート電圧がQ2のゲート電圧より十分に高い場合には、すべての電流がQ1を流れ、p型FETのカレントミラー回路により折り返され、I4に流れ出す。制御電圧Vctrlが上昇し、Q1とQ2のゲート電圧が同じになると、定電流源QCSの電流がQ1とQ2に等分配される。さらに制御電圧Vctrlが上昇すると、やがて、Q1がオフし、定電流源QCSを流れるすべての電流がQ2を流れる。Q3のゲート電圧がQ4のゲート電圧より高い場合にはQ2を流れた電流は、すべてQ3を流れる。このようにして、制御電圧Vctrlが上昇するに従い、電流の流れる量がQ1→Q3→Q5→Q6と適切な比率で連続的に変化してゆく。また、全体の電流値は定電流源QCSが決めるため、常に一定となる。それぞれの端子の電流値の制御電圧Vctrl依存性を図4の挿入図に示す。ベース電流I1, I2, I3, I4が、連続的に滑らかに切り替わっている。

この回路は、多くの電流源と吸い込み源を必要とする文献1の回路より簡単で電力効率が高い。また、電流の切り替え点をQ1, Q3, Q5のゲートにつながる参照電圧生成用の抵抗比で一意的に決定できるため、切り替え特性の調整が容易である。さらに、制御電圧Vctrlのアナログ値による制御が、図1に示す検波器(Detector)と積分器(Integrator)で構成される局所的な利得制御に適している。

図5は、利得可変低雑音増幅器の制御電圧に対する利得およびIIP3のシミュレーション結果と測定結果

を示す。測定結果において、19dBの最大利得の場合に、IIP3は-14dBmとなる。利得の減少に対応してIIP3は増加し、利得が-18dBのときに19dBmに達する。低い制御電圧で利得抑圧特性がシミュレーション結果より劣化する理由は、初段の増幅器から出力への信号の漏れにより生じていると考えられる。これはレイアウト変更により改善することが可能である。最大利得におけるNFの実測値は2.7dB未満であり、増幅器につながるシングル-差動変換器を含む消費電流は8.7mAである。

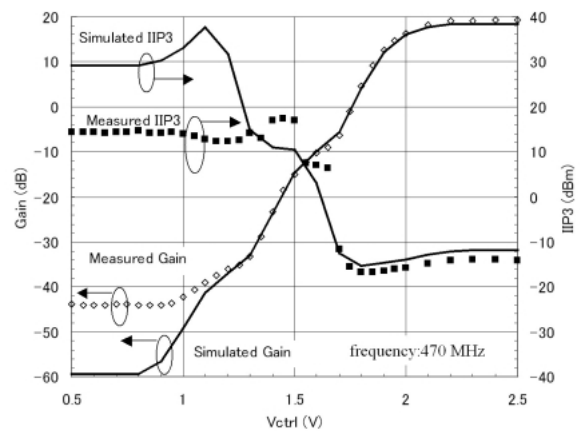


図5 利得可変低雑音増幅器の制御電圧に対する利得およびIIP3のシミュレーション結果と測定結果  
Fig. 5 Simulated and measured gain and IIP3 dependence on control voltage of VGLNA.

### 3. IFフィルタ

IFフィルタについては、特に低雑音化に注力した。低雑音化することにより、IFフィルタへの入力レベルを低く保つことができるため、IFフィルタまでの各要素回路の出力レベルを低く抑えられる。したがって、各要素回路の出力の線形性に対する要求を緩和することができる。

IFフィルタのアーキテクチャには、我々が既に開発しているアンチエイリアシングフィルタ内蔵スイッチトキャパシタフィルタ<sup>3)</sup>を採用した。スイッチトキャパシタフィルタの伝達関数はキャパシタの容量比のみで決まる。IC内では、各キャパシタ容量の相対的なばらつきは非常に小さくできるので、このフィルタは正確な周波数特性をもつことができる。ただし、このフィルタは離散信号を扱う(アナログ電圧をサンプリング周波数 $F_s$ で離散化する)ため、 $F_s/2$ より高い周波数の信号がこの $0 \sim F_s/2$ 内に入り込むエイリアシング(Aliasing)現象が問題になる。よって、この高周波成分を予め除くためのアンチエイリアシングフィルタがスイッチトキャパシタフィルタの前に必要になる。今回IFフィルタとして採用したアンチエイリアシングフィルタ内蔵スイッチトキャパシタフィルタでは、入力から2段分のスイッチトキャパシタの一部を抵抗に置き換えることにより、これら2段に、スイッチトキャパシタフィルタ本来の機能に加え、アンチエイリアシングフィルタの機能も持たせている。これにより、アンチエイリアシングフィルタを別に持つ場合と比べて、フィルタの段数を2段以上削減することができる。なお、単純に抵抗に置き換えるだけでは、フィルタ特性が変わるので、抵抗やキャパシタの値を

調整する必要がある。

図6は、IFフィルタの回路図を示す。DCオフセットを補償するためのフィードバックをもっており、7次のローパスフィルタとして働く。フィルタのサンプリング周波数 $F_s$ は、32MHzである。OP1～OP7のOPアンプがフィルタを構成し、OP8がDCオフセット補償用OPアンプである。フィルタの基本的な設計手続きは文献2で述べられたものと同じである。しかし、バイポーラトランジスタをOPアンプに用いたことと、各フィルタ段の利得配分を調整したことにより、雑音性能が向上している。フィルタにおける主な雑音源は、トランジスタの熱雑音とフリッカ雑音、スイッチトキャパシタの $kt/C$ 雑音である。これらの雑音の通過帯域へのエイリアシングを考慮した雑音シミュレーションにより、フィルタの最も大きな雑音源がOPアンプOP1とOP2の入力段のトランジスタであることが明らかになった。従来のスイッチトキャパシタフィルタでは、OPアンプの帰還キャパシタ(図6のC1やC2など)に蓄えられる電荷を保てるようにOPアンプの入力インピーダンスを十分高くする必要があるため、OPアンプの入力トランジスタとしてフリッカ雑音の多いCMOSトランジスタを使わなければならない。しかし、我々のフィルタでは、アンチエイリアシングフィルタ機能実現のために、これらOPアンプの入力トランジスタに $1k \Omega$ 程度の抵抗 $R_{1i}$ 、 $R_{2i}$ を接続して設計を行っており、元々C1やC2のキャパシタに蓄えた電荷がこれら抵抗を介して漏れる状態で所要の特性が得られる構造になっている。したがって、これらOPアンプの入力段にバイポーラトランジスタを使った場合でも、入力インピーダンスとしてのベース抵抗(我々の設計では $100k \Omega$ 弱)は抵抗 $R_{1i}$ 、 $R_{2i}$

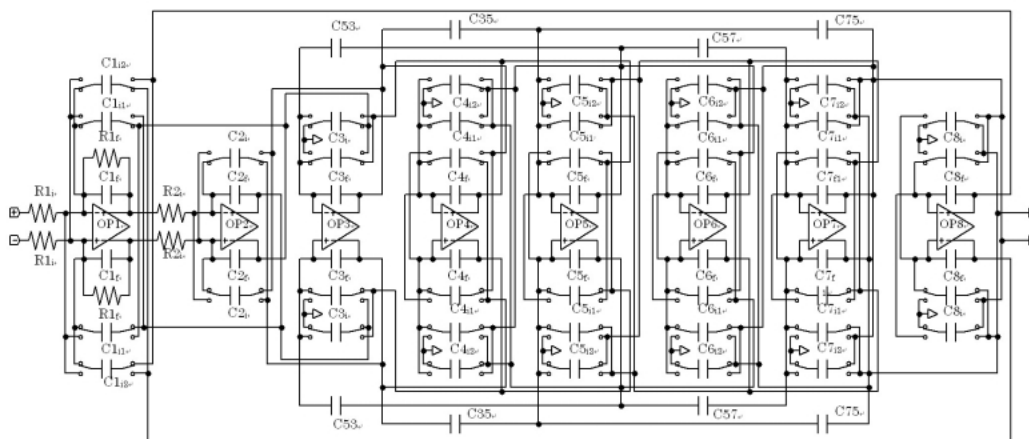


図6 IFフィルタの回路図

Fig. 6 IF filter schematic.

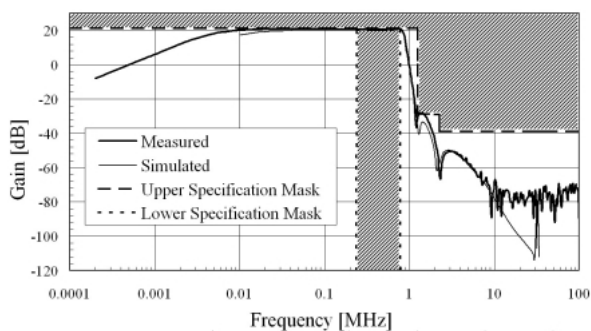


図7 IFフィルタの利得周波数特性  
Fig. 7 Amplitude response of IF filter.

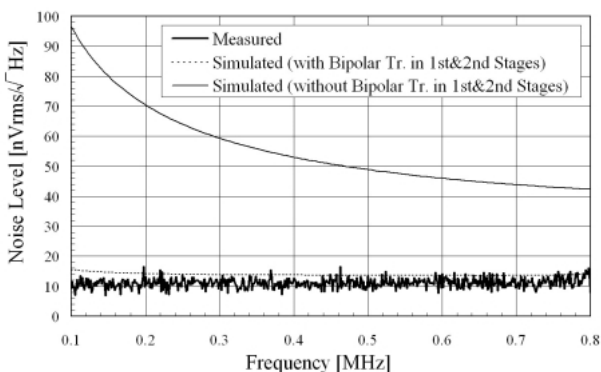


図8 IFフィルタの入力換算雑音周波数特性  
Fig. 8 Input referred noise response of IF filter.

より数十倍大きく、ベース抵抗による電荷の漏れは抵抗  $R_{1i}$ ,  $R_{2i}$  による漏れよりも少ないので、フィルタ特性に与える影響は小さい。シミュレーションによると、OP1とOP2の入力段のCMOSトランジスタをバイポーラトランジスタに置き換えることにより、430kHz帯域幅の入力換算雑音を13dB低下させることができる。

IFフィルタの仕様としては、通過帯域はIF周波数の変動を考慮して1セグメント帯域430kHzより1.26倍広い帯域と20.5±0.5dBの利得を持ち、阻止帯域のうちの2.28MHz以下と以上ではそれぞれ通過帯域から50dB、60dB以上減衰させるものとした。これらは、OFDM復調IC内部のADコンバータのサンプリングによるエイリアシング雑音や隣接チャネルからの妨害波の減衰を考慮して決定した。図7は、IFフィルタの利得の周波数特性のシミュレーション結果と測定結果を、仕様マスクと共に示したものである。得られた測定結果は、仕様を満足している。

図8は、IFフィルタにおける入力換算雑音密度のシミュレーション結果と測定結果を示す。シミュレーション結果については、OP1、OP2の入力段にバイポーラトランジスタを使った場合と、バイポーラを使わずMOSを使った場合の2ケースを示している。な

お、500kHz付近における入力換算雑音密度の測定値平均は  $11\text{nV}/\sqrt{\text{Hz}}$  である。この値は、現行の同様のフィルタ<sup>4)</sup>の  $28\text{nV}/\sqrt{\text{Hz}}$  よりも6割少ない。また、IFフィルタの消費電流の測定値は7mAである。

#### 4. チューナIC

2章および3章で解説した要素回路を組み合わせ、チューナICを構成した。このチューナのアーキテクチャにおいては、入力信号に含まれる帯域外の妨害波は、IFフィルタ(図1のChannel Selection Filter)を通過するまで、希望信号と同じゲインで処理される。従って、希望信号に比較して、妨害波が大きい場合、IF信号出力振幅を検知して、ゲインを制御すると、IFフィルタに入る前に回路が飽和する恐れがある。このような状況に対応するため、ミキサの出力において信号レベルを検出して、一定の値以上にならないように、利得可変低雑音増幅器に対してフィードバック制御を行っている。

遮断周波数47GHzのHBTをもつ0.5um SiGe BiCMOSプロセス技術を用いて試作したシングルチップチューナICのチップ写真を図9に示す。本チューナICは、小信号を扱う高周波信号回路と、デジタル回路を含むPLLシンセサイザ及びクロックを用いたスイッチトキャパシタ型のIFフィルタが統合されている。後の2つの回路ブロックは、ノイズ源となり得るため、回路ブロック間のノイズの干渉を防ぐためのレイアウト上の配慮が必要である。図9のレイアウトに示すように、これら3つの回路ブロックは、お互いに分離した形で配置し、その間にはノイズ伝播を防ぐための、遮断領域を設けてある。

本チップのチップ面積は25mm<sup>2</sup>である。電源電圧は

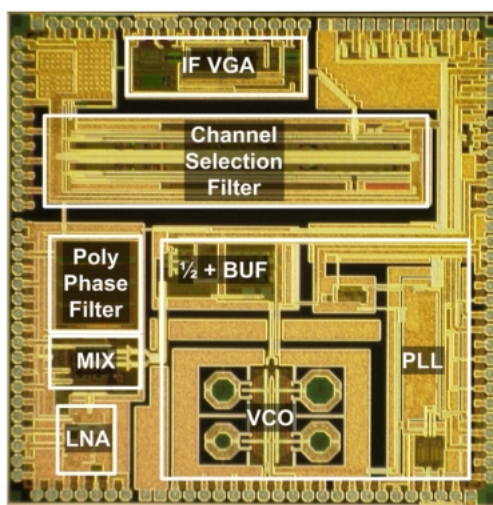


図9 チップ写真  
Fig. 9 Chip micrograph.

2.9Vで、消費電力160mWとなる。測定によると、全体のチューナがISDB-Tの1セグメント受信のキーとなる要求を満たしている。測定したチューナ全体の利得可変範囲は80dBを超えており、イメージ除去比は37dB以上である。チューナ全体のNFは、最大利得時に767MHzに対して9dBである。PLLの位相雑音は、UHF全チャンネルにおいて100kHzオフセットで-100dBc/Hz以下を達成した。

チューナICとOFDM復調LSIとを組み合わせたチューナモジュールを試作し、OFDM信号を受信し、復調できることを確認した。

## むすび

普及・発展の著しい携帯電話に安定して綺麗な画像の映る地上デジタルテレビが内蔵されれば、通信と放送を融合した様々な新しいサービスが生まれ、人々の生活を大きく変えることができる。その実現のため、携帯機器向け地上デジタルテレビ放送用1セグメントチューナはキーコンポーネントとして不可欠である。線形性を含めた受信特性、低消費電力、小型化の三拍子揃ったチューナICの実現に向け更なる改良を進める。

## 謝辞

本チューナICの開発に当たり、多大なご助言、ご協力を賜りました関係各位に感謝致します。

## 参考文献

- 1) Shin'ichiro Azuma et al., "A Digital Terrestrial Television (ISDB-T) Tuner for Mobile Applications," ISSCC Dig. Tech. Papers, pp. 278-279, Feb. 2004.
- 2) B. Gilbert, "A Low-Noise Wideband Variable-Gain Amplifier Using an Interpolated Ladder Attenuator," ISSCC Dig. Tech. Papers, pp. 280-281, Feb. 1991.
- 3) Shin'ichiro Azuma et al., "Embedded Anti-aliasing in Switched-Capacitor Ladder Filters With Variable Gain and Offset Compensation," IEEE J. Solid-State Circuits, vol. 37, pp. 349-356, Mar. 2002.
- 4) Tetsuro Itakura et al., "A 2.7V, 200kHz, 49dBm, Stopband-IIP3, Low-Noise, Fully Balanced Gm-C Filter IC," IEEE J. Solid-State Circuits, vol.34, pp. 1155-1159, Aug. 1999.

(2003年1月22日受理)