

地上デジタルテレビ用シリコンチューナーのための 100MHz サンプリング低消費電力広帯域 $\Delta\Sigma$ AD 変換器

A 100MHz Low-Power Broadband $\Delta\Sigma$ ADC for Digital TV Tuners

金澤 雄亮* ロレ パスカル* 藤本 義久* 飯塚 邦彦*
Yusuke Kanazawa Pascal Lo Ré Yoshihisa Fujimoto Kunihiko Iizuka

要 旨

ダイレクトコンバージョン方式を用いるデジタル TV 受信機向けに、高速・高精度 $\Delta\Sigma$ AD 変換器を開発した。開発した AD 変換器は、独自の三相サンプリング技術および、二段階加算方式により、世界トップレベルの低消費電力化を実現した。開発した $\Delta\Sigma$ AD 変換器を 0.18 μ m CMOS プロセスにて試作し、評価を行った。電源電圧 1.8V、サンプリング周波数 100MHz、信号帯域 4MHz において、SNDR (Signal to Noise plus Distortion Ratio) として 77.3dB を得た。このときの消費電流は 15.3mA である。試作した $\Delta\Sigma$ AD 変換器の面積は 1.57mm² である。これは、AD 変換器の性能指標である Figure of Merit に換算すると 0.58pJ/conv. となる。

A new $\Delta\Sigma$ ADC architecture using a triple phase sampling technique and a two-step summation scheme is presented. A 4th order switched-capacitor $\Delta\Sigma$ ADC with a 4-bit quantizer is designed for a low-power direct-conversion digital TV receiver SoC. It achieves a 77.3-dB SNDR over a 4-MHz bandwidth with a 100-MHz clock frequency. The chip, fabricated in a 0.18- μ m CMOS process, occupies 1.57 mm² and draws 15.3 mA from a 1.8-V supply. It achieves a 0.58-pJ/conversion FOM.

まえがき

テレビ放送のデジタル方式への切り替えとともに、デジタルテレビ用チューナーの開発が活発化している¹⁾²⁾。テレビチューナーの受信性能はアナログ・フロントエンド(AFE)回路の性能に依存するため、高性能かつ低消費電力の AFE 回路の開発が必要である。AFE 回路は、希望するチャンネルの高周波信号を受信し低周波信号(ベースバンド信号)に変換する RF 部とベースバンド信号のチャンネル選択・増幅・AD 変換を行うベースバンド部から構成される。ベースバンド信号のチャンネル選択をアナログ回路で実現する場合、ベースバンド部のノイズを低く抑えるため容量の大きなキャパシタが必要となり、ベースバンド部のチップ面積が増大する。ここで、高速・高精度の AD 変換器を採用することで、チャンネル選択、ゲイン調節などの一部のアナロ

グ信号処理をデジタル領域で行うことが可能となり、ベースバンド部のチップ占有率を低減することが可能となる。また、これらの信号処理を行うデジタル回路は、CMOS プロセスの進歩とともに低消費電力化、省面積化が可能となる。さらに、AD 変換器の高速サンプリングによりアンチエイリアスフィルタの次数への要求が、高精度の AD 変換を行うことで可変ゲイン段(VGA)の最大ゲインへの要求が緩和され、低消費電力化が可能になる。本稿では、デジタルテレビチューナーの高性能化・デジタルリッチ化を実現するために開発した、低消費電力・低歪の $\Delta\Sigma$ AD 変換器($\Delta\Sigma$ ADC)を紹介する。開発した $\Delta\Sigma$ ADC は、信号帯域 4MHz において、77.3dB の SNDR を実現する。消費電流は電源電圧 1.8V において 15.3mA である。この $\Delta\Sigma$ ADC の性能指標である FOM (Figure Of Merit) は 0.58pJ/conv. である。

* 電子デバイス開発本部 先端技術開発研究所 第 3 開発室

1. ΔΣAD 変換器の仕様

デジタルテレビチューナ向け ΔΣADC の仕様について説明する。開発した ΔΣADC は、欧州デジタル放送仕様 (DVB-T) に基づくダイレクトコンバージョン受信機へ搭載する。DVB-T 仕様におけるデジタルテレビの最大信号帯域は約 8MHz であるため、ダイレクトコンバージョン受信機では、帯域が 4MHz である ADC が 2チャンネル必要となる。

ΔΣADC のサンプリング周波数は、アンチエイリアスフィルタ (AAF) の性能と ΔΣADC の消費電力間のトレードオフを考慮して決める必要がある。AAF には、ΔΣADC のサンプリング周波数において 80dB 以上の減衰特性が求められる。本稿では、三次のチェビシェフ I フィルタを AAF とする。この AAF は、周波数 96MHz において不要信号を 80dB 減衰する。したがって、ΔΣADC のサンプリング周波数を 100MHz とした。信号帯域が 4MHz であるため、オーバーサンプリング比 (OSR) は 12.5 となる。

SNR は隣接チャンネル妨害信号耐性から決定される。DVB-T 仕様によると、希望信号 - 不要信号比 (D/U 比) は -29dB、キャリア - ノイズ比 (C/N 比) は 24.8dB となる。また、OFDM 信号のピーク - アベレージ比は 15dB、AAF の隣接チャンネル信号減衰量は 11dB である。これに 16dB のマージンを追加して、SNR のターゲットを 73.8dB とした。

仕様をまとめると、①信号帯域 4MHz、②サンプリング周波数 100MHz、③SNR 73.8dB である。

2. ΔΣADC アーキテクチャ

開発した低消費電力・低歪 ΔΣADC アーキテクチャについて説明する。目標仕様 (SNR=73.8dB, OSR=12.5) より、ΔΣADC の次数を 4 次、ビット数を 4 ビットと決定した。低消費電力・低歪を実現するため、文献³⁾で提案されている、直接フィードフォワードパスを持つ ΔΣADC アーキテクチャ (図 1) を採用した。図 1 に示す ΔΣADC の出力信号 V(z) は、

$$V(z) = U(z) + \frac{1}{1+H(z)} E(z) \tag{1}$$

で与えられる。ここで、U(z) は入力信号であり、H(z) はループフィルタの伝達関数であり、E(z) は量子化雑音である。上式より、図 1 の ΔΣADC の信号伝達関数は 1、量子化雑音伝達関数は 1/(1+H(z)) である。ここで、ループフィルタの入力信号 X(z) は、

$$X(z) = -\frac{1}{1+H(z)} E(z) \tag{2}$$

で与えられる。この式は、ΔΣADC への入力信号 U(z) の成分を含まず、フィルタリングされた量子化ノイズ成分のみである。そのため、図 1 に示す ΔΣADC は次の 2 つの利点がある。①ループフィルタの非線形性による入力信号の歪成分が生じない、②ループフィルタの扱う信号の振幅が小さくなるため消費電力を小さくできる。しかし、このアーキテクチャは高速動作、量子化器オフセット耐性に課題がある。ここでは、各課題について説明し、課題を解決する新規 ΔΣADC アーキテクチャを提案する。

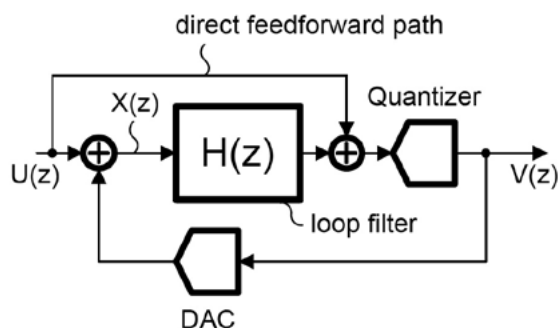


図 1 直接フィードフォワードパスを持つ ΔΣADC アーキテクチャ

Fig.1 ΔΣADC with direct feedforward path.

2・1 入力三相サンプリングアーキテクチャ

高速動作時の課題とその解決法について説明する。入力信号 U(z) の成分をキャンセルし、低消費電力・低歪の ΔΣADC を実現するためには、出力信号が入力信号と全く同じ信号 U(z) を含む必要がある。図 2 に ΔΣADC と入力信号 U(z) の伝達経路を示す。経路 PATH1 では入力信号が直接減算器に入力され、経路 PATH2 では入力信号が量子化器、DAC を通して減算器に入力される。出力信号が入力信号と同じ信号成分を持つには、これらの信号経路の遅延量が一致しなければならない。PATH1 の遅延量はゼロであるため、PATH2 の遅延量もゼロである必要がある。そのため、量子化器、DAC を遅延なしに動作させる必要があり、消費電力の増大を招く。

この問題を解決するため、PATH1 に 1 クロックの遅延を挿入した (図 3 (a))。この場合、PATH2 にも 1 クロックの遅延が許されるため、量子化器、DAC の動作速度への要求を緩和できる。この 1 クロックの遅延を図 3 (b) に示す 3 つのサンプリング回路を用いて実装

する。三相クロック ($\phi_{11}, \phi_{12}, \phi_{13}$) によりサンプリングされた信号を 1 クロック後に積分器に転送することで、PATH1 における 1 クロックの遅延を実現し、量子化器、DAC の消費電力を軽減する。

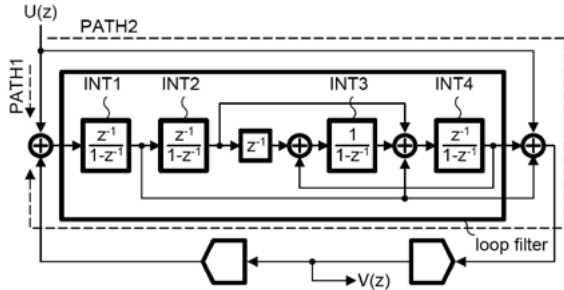


図2 $\Delta\Sigma$ ADC の入力信号伝達経路
Fig.2 Signal path of the $\Delta\Sigma$ ADC.

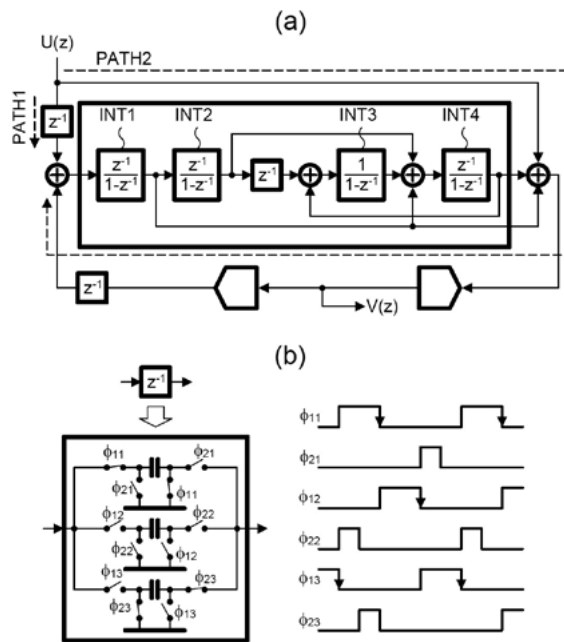


図3 (a) 入力に遅延を持つ $\Delta\Sigma$ ADC
(b) 遅延の実装例
Fig.3 (a) $\Delta\Sigma$ ADC with 1 clock delay.
(b) Implementation of 1 clock delay.

2・2 二段階加算アーキテクチャ

量子化器オフセット耐性の課題とその解決法について説明する。量子化器の入力信号は、ループフィルタの出力信号と $\Delta\Sigma$ ADC への入力信号の和である。図 4 (a) に量子化器の入力部の構成を示す。図 4 (a) の重みつき加算の実装には、通常パッシブスイッチトキャ

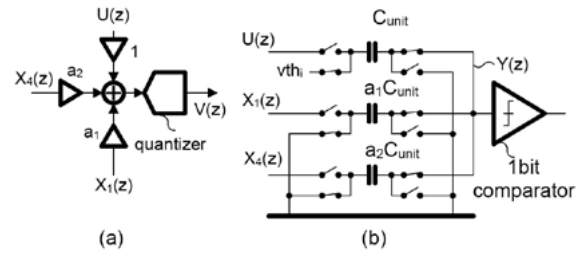


図4 (a) 量子化器への入力
(b) i 番目のコンパレータの実装例
Fig.4 (a) Input of the quantizer.
(b) Implementation of i-th comparator.

パシタ (SC) 加算器が用いられる。4 ビットの量子化器は 15 個のコンパレータで構成され、この SC 加算器はそれぞれのコンパレータの入力に設置される。図 4 (b) に i 番目のコンパレータの実装例を示す。図 4 (b) の加算器の出力信号 $Y(z)$ は、

$$Y(z) = \frac{C_{unit}(U(z) - vth_i) + a_1 C_{unit} X_1(z) + a_2 C_{unit} X_4(z)}{C_{unit} + a_1 C_{unit} + a_2 C_{unit} + a_3 C_{unit}} \quad \text{式(3)}$$

で与えられる。ここで、 C_{unit} は単位容量であり、 vth_i は i 番目のコンパレータに与えられるしきい値であり、 a_1, a_2 は 1 段目、4 段目の積分器 (図 3 (a) の INT1, INT4) の出力 X_1, X_4 の係数であり、 $a_3 C_{unit}$ はコンパレータの入力容量 C_{in} に等しく、 $a_3 = C_{in}/C_{unit}$ で与えられる。上式より、量子化器の入力信号は $(1+a_1+a_2+a_3)$ で減衰される⁴⁾。ここで、量子化器のオフセットを V_{off} とすると、パッシブ SC 加算器の入力に換算したオフセット V_{off} は $(1+a_1+a_2+a_3)$ で増幅される。このオフセットが大きくなると、 $\Delta\Sigma$ ADC の線形性・ダイナミックレンジが低下する。トランジスタサイズを大きくすることでオフセットを軽減できるが、コンパレータの入力容量が増加し (a_3 が大きくなり) 信号の減衰量が大きくなる。信号の減衰量を小さくするためには C_{unit} を大きくする必要がある。15 個のコンパレータそれぞれに加算器を設置するため、INT1, INT4 の負荷容量はそれぞれ $15a_1 C_{unit}, 15a_2 C_{unit}$ となる。この大容量を駆動するためにより多くの電力を消費してしまう。この問題を解決するため、増幅器を使用して信号の減衰を補償する方法が文献⁵⁾に示されている。図 5 (a) に直接フィードフォワードパスを持つ $\Delta\Sigma$ ADC にこの方法を適用した例を示す。図 4 (b) では 15 個のパッシブ SC 加算器を使用していたが、図 5 (a) ではアクティブ回路である増幅器を用いるため、加算器は 1 つでよい。図 5 (a) にお

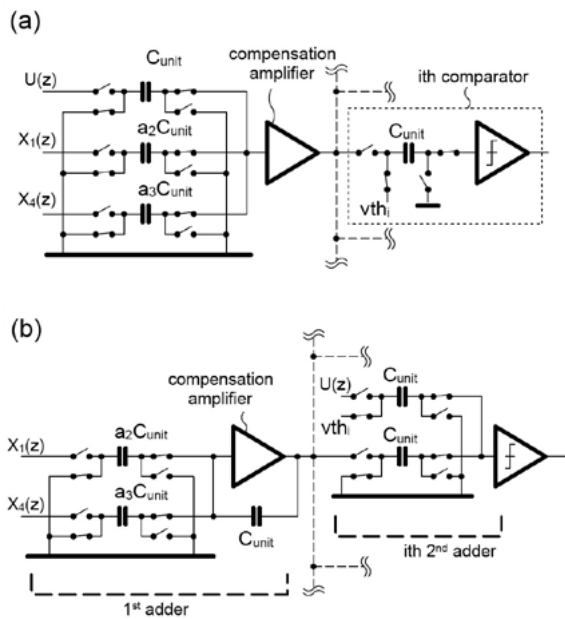


図 5 (a) 増幅器による信号減衰の補償 (従来例)
 (b) 二段階信号加算
 Fig.5 (a) Conventional compensation scheme.
 (b) Proposed compensation scheme with two-step adder.

いて、信号の減衰は補償されているが、入力信号 $U(z)$ が増幅器に入力されるため、信号振幅が大きくなり消費電力が増大する。また、増幅器の非線形性により、入力信号 $U(z)$ に起因する歪が発生する。

これらの問題を解決するため、図 5 (b) に示す二段階の信号加算を行った。一段目の加算器は減衰のない 1 つのアクティブ SC 加算器でループフィルタの出力信号を加算する。二段目の加算器は、信号振幅が大きくても消費電力が増大しないパッシブ SC 加算器で、一段目の加算器の出力信号と $\Delta\Sigma$ ADC への入力信号を加算する。この二段目加算器は、15 個のコンパレータそれぞれの入力に設置する。二段目加算器の出力信号は 1/2 に減衰するが、減衰量が小さいため $\Delta\Sigma$ ADC の性能にほとんど影響を与えない。この二段階加算により、オフセットの補償に使用する増幅器に起因する性能劣化・消費電力の増加を抑えられる。

上記の二つの技術を適用した $\Delta\Sigma$ ADC の構成を図 6 に示す。入力信号を三相クロックサンプリングすることで遅延を生成し、量子化器、DAC の消費電力増加を抑えている。また、ループフィルタの入力信号と $\Delta\Sigma$ ADC の入力信号の加算を二段階で行うことで消費電力増加・歪性能劣化を抑えている。また、DAC の容量ミスマッチによる性能劣化を補償するため、Data weighted averaging (DWA) ロジックを使用している。

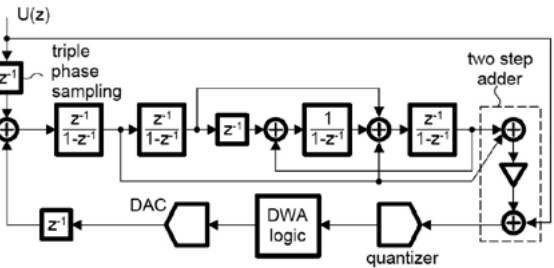


図 6 提案する $\Delta\Sigma$ ADC アーキテクチャ
 Fig.6 Proposed $\Delta\Sigma$ ADC architecture.

3. 回路技術

図 6 に示す $\Delta\Sigma$ ADC を CMOS プロセスにて LSI 化するための回路技術について説明する。ループフィルタと加算回路は OTA を用いる SC 回路で構成する。これらは、 $\Delta\Sigma$ ADC の消費電力の大部分を占めるため、低消費電力 OTA の開発が必要となる。また、電源電圧は 1.8V と低電圧であるため、低電源電圧で動作可能な OTA が求められる。ここでは、OTA と、それを用いた積分器、加算器の回路について説明する。

PMOS を差動対とするフォールデッドカスコード型 OTA とカレントミラー型 OTA は、入力コモンモード電圧をグラウンドレベルに近づけることが可能である。この場合、入力スイッチとして NMOS スイッチのみを使用可能となり、低電源電圧での動作に適している。ここでは、カレントミラー比を調節することでユニティゲイン周波数と熱雑音のトレードオフを最適化できることから⁹⁾、カレントミラー型 OTA を採用した。しかし、カレントミラー型 OTA は出力段にテール電流源を持たない。そのため、大信号入力時に OTA の差動出力電流のバランスが崩れ、出力コモンモード電圧が不安定になる場合がある。この問題を解決した、新規 OTA を図 7 に示す。この回路では、出力コモンモード電圧を安定にするため、電流源 M9 を追加した。また、十分なフェイズマージンを確保し OTA を安定動作させるため、トランジスタ M3, M4 のソース端子を短絡し、初段回路の負荷インピーダンスを下げている。後段回路 (M9, M10, M11, M12, M13 からなる差動増幅回路) の入力コモンモード電圧は、トランジスタ M5, M6 のサイズを調節することで所望の電圧にバイアスする。図 6 の $\Delta\Sigma$ ADC において、積分器はフィルタリングされた量子化ノイズのみを処理するため出力信号の振幅が小さい。すなわち、OTA のスルーレートへの要求は低いため、後段回路の電流は小さくてよい。一方、第一段目の積分器 (図

6のINT1) に使用する OTA の熱雑音は、 $\Delta\Sigma$ ADC の性能に対して影響が大きいいため、小さくすべきである。熱雑音を抑えるため、入力トランジスタ M1, M2 の電流は大きくしなければならない。図7の OTA では、これらの要求(そこそこのスルーレート、低ノイズ)を満たすため、トランジスタ M1 (M2) の電流の一部を M7 (M8) に流し、負荷回路 M3-6 と後段回路への電流を小さくしている。

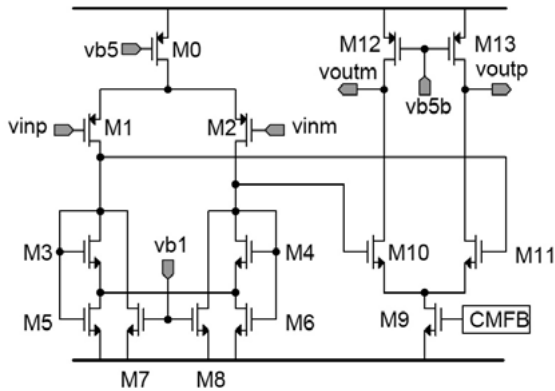


図7 提案するカレントミラー OTA
Fig.7 Proposed current-mirror OTA

提案する OTA を用いて第一段目の積分器を構成した例を図8に示す。入力部は三相サンプリング回路、フィードバック DAC で構成される。 V_{cmin} は OTA の入力コモンモード電圧を与える端子である。信号 $D[i]$ は i 番目の出力サーモメータコードであり、 $DB[i]$ はその反転信号である。時間連続な入力信号をサンプリングするときにスイッチオン抵抗の電圧依存特性により

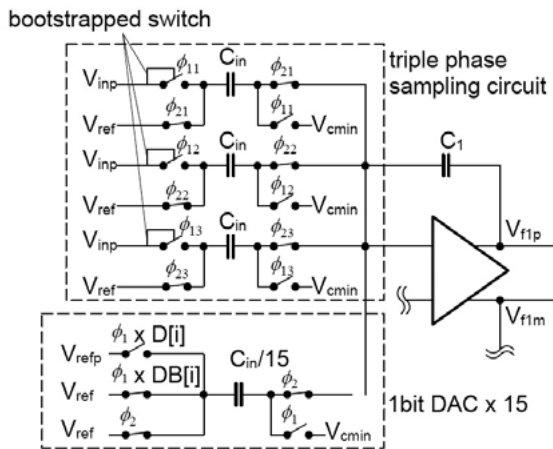


図8 第一段目の積分器の実装例
Fig.8 Implementation of first integrator.

発生する歪を低減するため、入力に文献⁷⁾に示されるブートストラップ技術を適用している。第二, 三, 四段目の積分器も第一段目の積分器と同様の構成を採用する。

図9に二段階加算器の実装例を示す。初段加算器は提案したOTAを使用したアクティブSC加算器であり、第二段目の加算器はパッシブSC加算器である。出力信号 $V_{am[i]}$ は i 番目のコンパレータの反転入力端子に接続される。

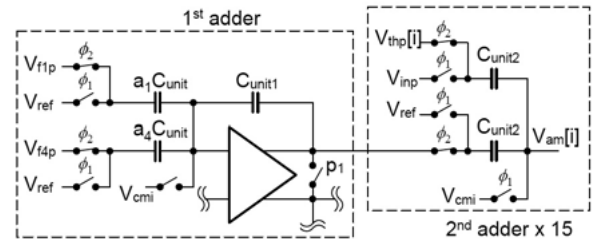


図9 二段階加算器の実装例
Fig.9 Implementation of two-step adder.

4. 測定結果

提案する $\Delta\Sigma$ ADC を $0.18\mu\text{m}1\text{P}5\text{M}$ ミックスドシグナル CMOS プロセスにて試作を行った。以下に試作チップの測定結果を示す。ここでは、ADC に必要となる基準電圧を外部より与えて測定を行った。

図10に試作 $\Delta\Sigma$ ADC の入力強度に対する SNR, SNDR を示す。SNR, SNDR の最大値はそれぞれ $77.6\text{dB}, 77.3\text{dB}$ であった。また、ダイナミックレンジは 77.8dB であった。この結果は、目標仕様の $\text{SNR}=73.8\text{dB}$ を満たす。

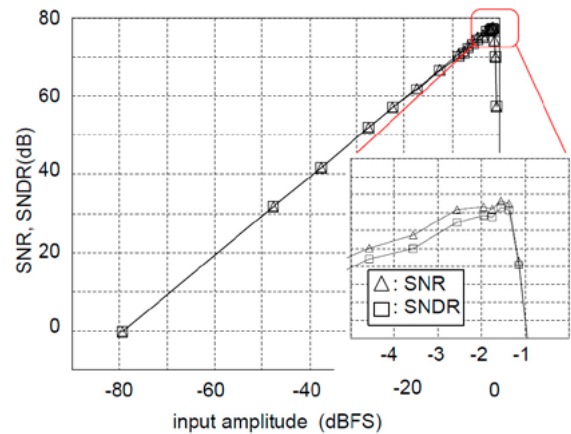


図10 SNR, SNDR の測定結果
Fig. 10 Measured SNR/SNDR curve.

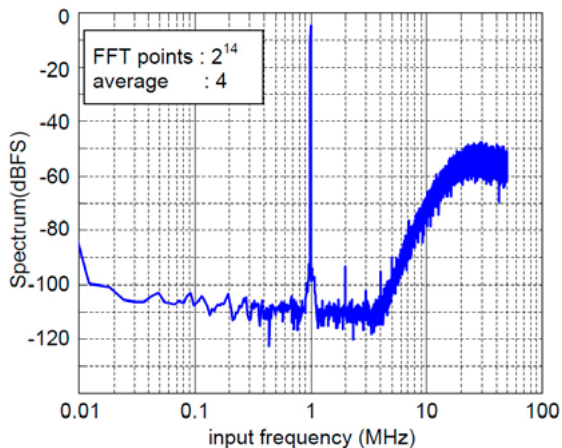


図 11 出力信号のスペクトル
Fig. 11 Measured spectrum.

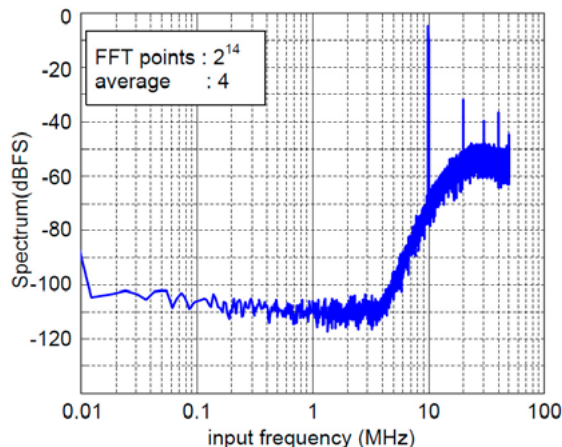


図 12 妨害信号入力時のスペクトル
Fig. 12 Measured spectrum with outband input.

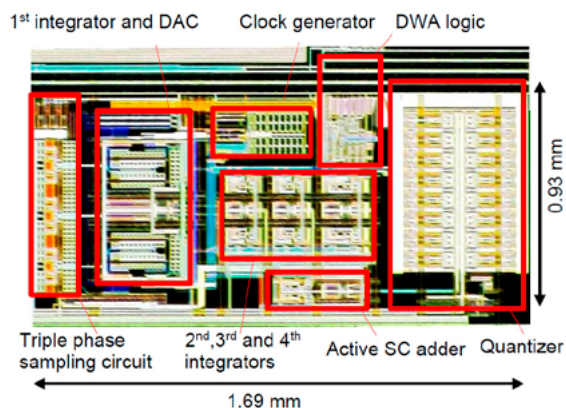


図 13 チップ写真
Fig. 13 Chip micrograph.

表 1 ΔΣADC 測定結果

table 1 Summary of measurement.

項目	測定結果
信号帯域	4 MHz
サンプリング周波数	100 MHz
最大 SNR	77.6 dB
最大 SNDR	77.3 dB
消費電流	15.3 mA
実装面積	1.57 mm ²
ダイナミックレンジ	77.8 dB
使用テクノロジー	0.18 μm 1P5M CMOS
Figure of merit	0.58 pJ/conv.

図 11 に出力信号のスペクトルを示す。ΔΣADC が安定に動作する限界である、信号強度 -1.56 dBFS、周波数 1MHz の正弦波を入力した。2 次、3 次、4 次の歪成分はそれぞれ、88.7 dB、94.6 dB、90.1 dB であった。この歪成分は非常に小さく、ΔΣADC の性能をほとんど劣化させない。

消費電流は、電源電圧 1.8V において 15.3mA であった。これらの性能から、以下の式で与えられる ΔΣADC の性能指標 (Figure of Merit : FOM) を計算した。

$$FOM = \frac{Power}{2 \cdot BW \cdot 2^{(SNDR-1.76)/6.02}} \quad \text{式 (4)}$$

ここで、Power は消費電力であり、BW は信号帯域幅である。ΔΣADC の FOM は 0.58 pJ/conv. であった。

さらに、妨害信号耐性を調べるため、信号帯域外に大きな信号を入力した。図 12 は信号強度 -1.26 dBFS、周波数 10MHz の正弦波を入力した際の ΔΣADC の出力信号のスペクトルである。信号帯域内において、妨害信号に起因するスプリアス等は発生していない。ここで得られた SNDR は 77.2 dB であり、妨害信号入力時でも性能の劣化がない。

図 13 にチップ写真を示す。ΔΣADC の実装面積は、1.69 mm × 0.93 mm である。

表 1 に試作 ΔΣADC の性能のまとめを示す。

むすび

本稿では、デジタルテレビチューナの高性能化・デジタルリッチ化を実現する高速高精度の ΔΣADC の新規アーキテクチャを提案した。入力を三相サンプリングすることと量子化器前の信号加算を二段階で行うことで、ΔΣADC の低消費電力化・低歪化を実現した。試作した ΔΣADC は 1 変換あたり 0.58 pJ の Figure of Merit を示した。また、DVB-T 規格に基づく仕様を満足することを確認した。

参考文献

- 1) 豊山慎治, 川村博史, 籠島謙知, 貴島洋史, 佐藤俊一, 田中誠一, 作野圭一, 河間修一, 東慎一郎, 幸谷真人, 飯塚邦彦, 長谷川隆, “携帯機器向け地上デジタルテレビ放送用ワンセグメントチューナ”, シヤープ技報 88号, (2004).
- 2) D. Saias, F. Montaudon, E. Andre, M. Bely, P. Busson, S. Dedieu, A. Dezzani, A. Moutard, G. Provins, E. Rouat, J. Roux, G. Wagner and F. Paillardet “A 120 nm CMOS DVB-T Tuner,” 2005 ISSCC Digest of Technical Papers, pp. 430 - 431, February 2005.
- 3) J. Silva, U. Moon, J. Steensgaard and G.C. Temes, “Wideband lowdistortion delta-sigma ADC topology,” Electronics Letters, Vol. 37, No. 12, pp. 737-738, June 2001.
- 4) A.A. Hamoui and K. Martin, “High-order multibit modulators and pseudo data-weighted-averaging in low-oversampling $\Delta\Sigma$ ADCs for broad-band applications,” IEEE Transactions on Circuits and Systems-I, vol. 51, pp. 72-85, January 2004.
- 5) P. Balmelli, Q. Huang, “A 14-b 25-MS/s 200mW $\Sigma\Delta$ Modulator in 0.18- μ m CMOS,” IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, pp. 2161-2169, December 2004.
- 6) Y. Fujimoto, Y. Kanazawa, P. Lo Re and M. Miyamoto “An 80/100MS/s 76.3/70.1dB SNDR $\Delta\Sigma$ ADC for Digital TV Receivers,” 2006 ISSCC Digest of Technical Papers, pp. 76-77, February 2006.
- 7) E. Siragusa, I. Galton, “A Digitally Enhanced 1.8V 15b 40MS/s CMOS Pipelined ADC,” IEEE Journal of Solid-State Circuits, vol. 39, no. 12, pp. 2126-2138, December 2004.

(2006年11月22日受理)