

## 液晶ディスプレイにおけるTFT製造技術について

藪田 哲史

ディスプレイ技術開発本部 ディスプレイ技術企画室

ここではTFT方式の液晶ディスプレイ製造技術について、TFTの種類や主流のa-Si TFT基板の製造プロセスフローを説明します。a-Si TFT基板は、①薄膜形成、②パターニング、③エッチング、④洗浄の要素工程を数回繰り返すことで製造されます。最終的にディスプレイにするには、このTFT基板とR(赤)、G(緑)、B(青)の色を持つCF(カラーフィルタ)と呼ばれる基板とを数 $\mu\text{m}$ の隙間をもって貼り合わせます。そして、セルに分断し、液晶を注入します。これに、ドライバーIC、回路、バックライト、光学フィルムなどを組み込み、ディスプレイが完成します。

### 1 はじめに

TFT液晶ディスプレイでは、液晶により光を制御(透過—中間調—遮光)していますが、それを電氣的にON/OFFのスイッチをしているのはTFT(薄膜トランジスタ:Thin Film Transistor)です。

液晶ディスプレイの画面は微細な「画素」と呼ばれる集まりで構成されています。画素は色の三原色R(赤)、G(緑)、B(青)を1組として色を表現しています。画素のR、G、B各々は「ドット」と呼ばれ、ドットには通常1個のTFTが形成されており、映像用信号がこのTFTによって液晶に伝えられ、映像を液晶ディスプレイとして表示しています。

### 2 TFT基板の製造技術

#### (1)TFTの種類

- TFTには材料面から見て
- ・ a-Si (amorphous Silicon:非晶質シリコン) TFT
  - ・ p-Si (Polycrystalline Silicon:多結晶シリコン) TFT
- の2種類があります。

a-Si TFTは、電子の動き易さを示す指標である移動度が約 $0.5\text{cm}^2/\text{Vs}$ と低い半面、比較的製造プロセスが短く、大型基板にも製造できるため、小型～大型ディスプレイまで幅広く用いられ

ています。一方、p-Si TFTは、移動度が $100\text{cm}^2/\text{Vs}$ ～と高く、ガラス基板上にドライバー回路などを画素と同時に形成できます。製造工程はa-Si TFTより長く、大型基板では製造が難しいため、携帯電話用を代表に小中型のディスプレイに主に用いられています。特にシャープではCGシリコン(Continuous Grain Silicon:連続粒界シリコン)を株式会社半導体エネルギー研究所と共同開発し、その移動度は約 $250\text{cm}^2/\text{Vs}$ と高く、ドライバのみならず、他の機能回路をガラス基板上に形成できる特徴があります。

TFTを構造面から大別すると、

- ・ 逆スタガ型(ボトムゲート)
- ・ スタガ型(トップゲート)

に分類できます。現在は、a-Si TFTでは「逆スタガ型」、p-Si TFTでは「スタガ型」が用いられます。図1にa-Si TFT(逆スタガ型)とp-Si TFT(スタガ型)のそれぞれの断面構造を示します。a-Si TFTではゲート電極を最下層に配置し、その上層に半導体層/絶縁膜があり、さらに上層にソース電極、ドレイン電極が形成されています。ゲート電極とソース電極およびドレイン電極を直線で結ぶと逆三角形になり、この構造

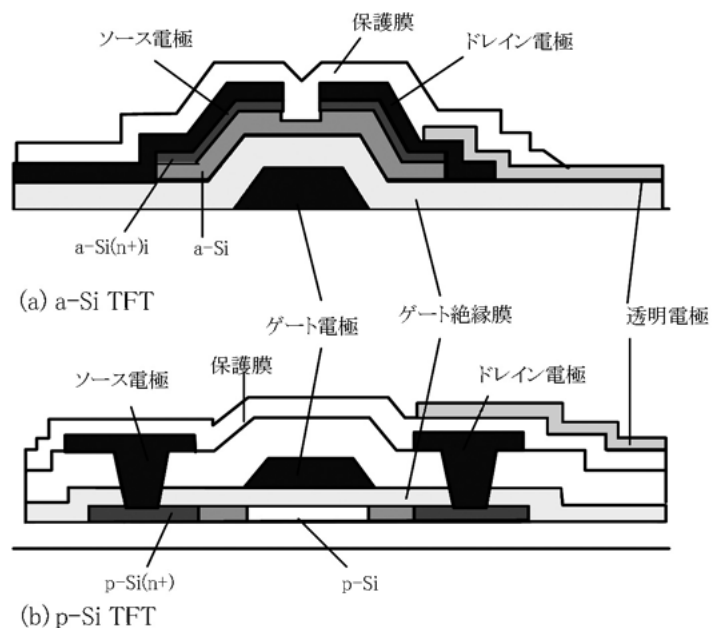


図1 a-Si TFT(逆スタガ型)とp-Si TFT(スタガ型)の構造比較

を「逆スタガ構造」または「ボトムゲート構造」と呼んでいます。プロセス工程は、「ゲート電極形成工程」、「ゲート絶縁膜&a-Si膜形成工程」、「ソース電極形成工程」、「透明電極形成工程」と「保護膜形成工程」の、以上の5工程でa-Si TFT基板が完成します。

一方、p-Si TFTでは、p-Siはa-Si膜をスタート膜として、レーザー光を照射し、瞬間的に溶融し結晶化を行います。表面温度は1000℃を超えますが、瞬間的であるためガラス基板が溶融することはありません。その後ゲート絶縁膜を成膜し、次にゲート電極が形成されます。この様に、半導体膜の上側にゲート電極を形成する構造を「スタガ構造」または「トップゲート構造」と呼ばれます。この構造ではTFT完成までに8~10工程を必要とし、プロセスが長くなります。また、a-Si TFTの製造工程では使用しない、リンやボロンをSi中に注入するドーピングという工程があります。この構造では、Si層への不純物ドーピングが可能であり、TFT特性の閾値 $V_{th}$ 制御ができます。そのため高性能なCMOS回路を作成する上では有効な構造です。

## (2)a-Si TFTプロセスフローと材料

図2にa-Si TFTの製造プロセスフローを示します。全体の流れは、

- ①薄膜形成
- ②パターン形成
- ③エッチング
- ④洗浄

の繰り返しで構成されています。以下にプロセスフローに従って説明します。

### ①ゲート電極・配線形成工程

ゲート電極にはTa(タンタル), Mo(モリブデン), Al(アルミニウム), またはその合金がよく用いられます。

この工程で重要なのは、線幅の基板面内均一性です。均一性が悪いと、TFTに寄生する容量が不均一になり表示に悪影響を与えます。また、断面形状の制御が必要です。断面形状の肩の部分が急峻では後に成膜されるゲート絶縁膜が被覆しきれず、TFTの耐圧に問題が発生します。

### ②ゲート絶縁膜&半導体形成工程

ゲート絶縁膜は一般的に $SiN_x$ 膜が用いられます。半導体層はa-Siとa-Si(n+)で、ゲート絶縁膜を含めこの3層は真

空中で連続して形成し、膜と膜の間の清浄性を保ちます。a-Si(n+)はa-Si中にリンを添加し抵抗値を低くしたもので、ソース電極およびドレイン電極とのコンタクト抵抗を下げるために用います。また、TFTの動作原理から見て、TFTがON状態の時はゲート電極にプラスバイアスが印加されa-Si層がn+状態になります。これでソース電極からドレイン電極間がn+ - n+ - n+となり電流が流れる状態となります。TFTがOFF状態の時はゲート電極にマイナスバイアスが印加されa-Si層がp型となりソース電極からドレイン電極間はn+ - p - n+となり電流が流れなくなります。こうしてTFTはON/OFFのスイッチとしての役割を持ちます。

### ③ソース電極・配線形成工程

ソース電極・配線には信号の遅延を懸念し、低抵抗なAl系の合金が主に用いられます。

### ④透明電極形成工程

透明電極はドットに相当する部分で、高い透明性が要求されます。一般にはITO(Indium Tin Oxide)が用いられます。Inはレア金属であり、リサイクル技術や代替材料の研究開発が進められています。

### ⑤保護膜形成工程

TFT形成工程の最終として保護膜を形成します。一般には $SiN_x$ 膜が用いられます。

## 3 a-Si TFTの製造技術と装置

a-Si TFTの製造においては、①成膜、②パターニング、③エッチング、④洗浄のサイクルが繰り返されます。ここでは、各々について説明します。

### ①成膜工程

薄膜形成については、原材料ガスを熱などのエネルギーによって分解・堆積させ、主にSi系膜を成膜するCVD法(Cheical Vapor Deposition: 化学気相成膜法)と物理的なスパッタ現象を用

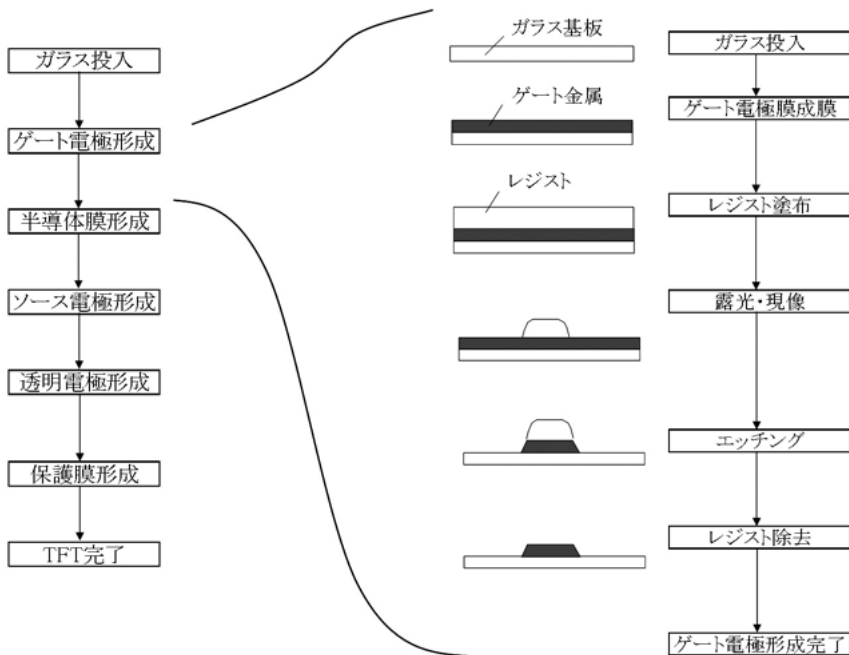


図2 a-Si TFTプロセスフロー

い、主に金属膜を成膜するスパッタリング法 (Sputtering 法) があります。

### ・プラズマCVD法

一般的にはプラズマを用いるプラズマCVD法 (Plasma Enhanced Chemical Vapor Deposition) が使用されます。図3 (a) にプラズマCVD装置の概念図を、(b) には反応室内のイメージを示します。Si膜を例にとり説明します。原料ガスはSiH<sub>4</sub> (シラン) です。原料ガスは上部電極より流入され、反応室に均一に広がるように工夫されています。上部電極には高周波 (一般的には13.5MHz) の電圧が印加され、下部電極がグランドとなっています。この状態でSiH<sub>4</sub>は分解され、荷電粒子、電子、励起された分解分子 (ラジカルという) が混在した「プラズマ状態」となります。SiH<sub>4</sub>が分解されプラズマ状態になることによってガラス基板上にSi、Si-H、Si-H<sub>2</sub>などの状態で堆積します。結果的にはa-Si膜には水素が大量に含

まれており、a-Si:Hと表記されることもあります。

### ・スパッタリング法

図4 (a) にスパッタリング装置の概略図を、(b) に反応室内での状態イメージを示します。スパッタリング法では、成膜したい物質の塊 (ターゲットと呼ぶ) を陰極に設置します。成膜室内を真空にし、Arを充填します。高周波を印加するとプラズマが発生し、ArはAr<sup>+</sup>と電子に分解されます。ターゲットにマイナスバイアスをかけるとAr<sup>+</sup>は電場に引かれ、ターゲットに高速で衝突します。この時の衝突エネルギーによってターゲットから原子が突出し、基板ガラスに付着します。形成される薄膜はターゲットの組成を再現できるため色々な組成の薄膜を成膜できます。主に、金属薄膜の成膜に使用されます。

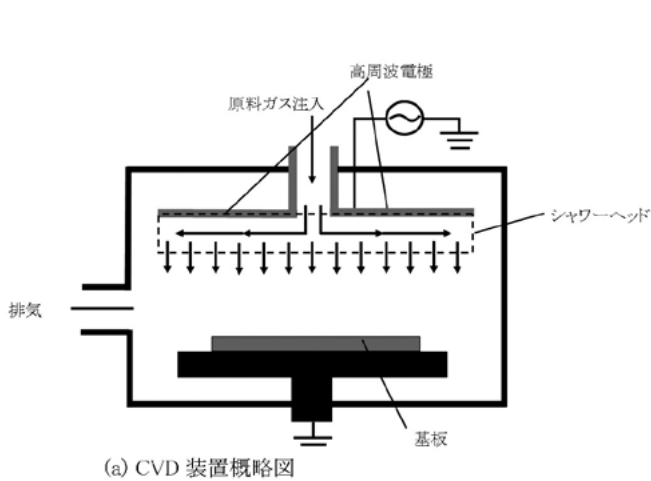
### ②パターン形成技術

図5にパターニングの一連の流れを示します。最初に、感光性樹脂「フォトレジスト」を基板に塗布します。次に「フォトマスク」をレジスト上に設置し光 (紫外光) を照射します。これでレジストが感光し、現像処理すると感光した部分が除去されパターンが形成されます。

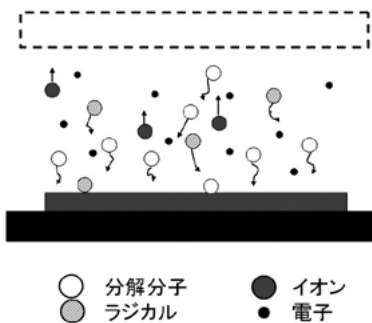
光学写真では、露光された部分が残る「ネガ型」が用いられますが、TFTでは露光されていない部分が残る「ポジ型」を用います。

### ③エッチング

フォトレジストがパターニングされている状態でエッチング処理することで、薄膜へパターンが転写されます。エッチングには薬液を用いるウェットエッチング法とプラズマを用いるドライエッチング法があります。どちらの技術を用いるかは、加工する薄膜材料、加工後の断面形状の要求、加工する

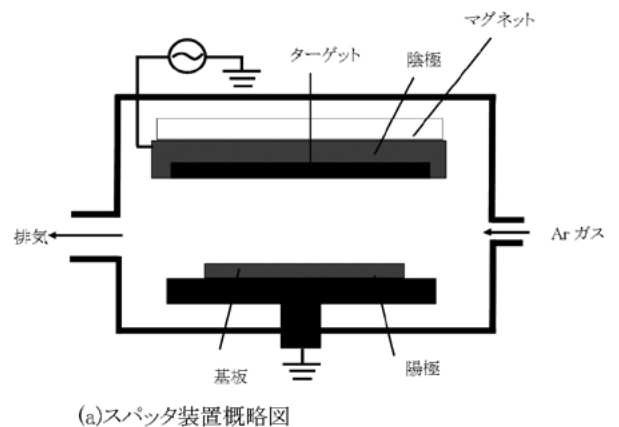


(a) CVD 装置概略図

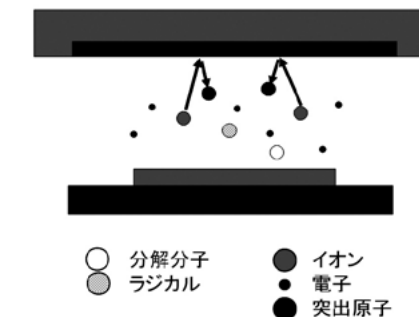


(b) CVD 成膜イメージ図

図3 CVD 装置概略図と成膜イメージ図



(a) スパッタ装置概略図



(b) スパッタ成膜イメージ図

図4 スパッタリング装置概略図および成膜イメージ

パターン寸法精度, 下地との選択性によって選びます。表1にウェットエッチングとドライエッチングの比較を示します。

ウェットエッチングでは薄膜材料と薬液が反応しエッチングが進行します。基本的には「等方性エッチング」です。装置が比較的単純な構成となり, 装置価格が安価になる利点があります。

一方, 断面形状, 線幅制御性には難点があります。ドライエッチングは, エッチングガスをプラズマ化し, 薄膜材料との化学的反応と, イオン化した荷電粒子のスパッタリングによる物理的エッチングを組み合わせたRIE (Reactive Ion Etching: 反応性イオンエッチング)法が主に用いられています。RIE法では条件により「異方性エッチング」が

可能です。その結果, 線幅制御性を高め, 断面加工形状の制御が可能となります。精度高い加工が可能となりますが, 装置が複雑となり装置価格が高くなる問題や下地との選択性が悪くなる難点があります。

#### ④洗浄技術

TFT工程では, エッチング後に残っているフォトレジストを除去する剥離洗浄やダストや表面不純物を除去する洗浄があります。ダストに対しては, ブラシや超音波洗浄などが用いられます。有機汚染に対しては, オゾン洗浄, 酸素プラズマ処理, 紫外線照射などの方法があります。無機汚染に対しては, 酸やアルカリを用いて洗浄する方法が用いられます。

## 4 おわりに

TFT液晶ディスプレイの製造において, マザーガラスは1990年に第一世代と呼ばれる320mm×400mmの大きさであったものが, 2006年に亀山第二工場ですべて採用された第八世代の2,160mm×2,460mmと約16年で2mを越えるサイズまで拡大しました。ガラスサイズの拡大, ディスプレイの大型化に伴い, TFT基板の製造技術も進化してきたといっても過言ではありません。次には3mを越える第十世代マザーガラスの展開も見えてき始め, TFT液晶の製造技術はさらに進歩していくものと思われます。

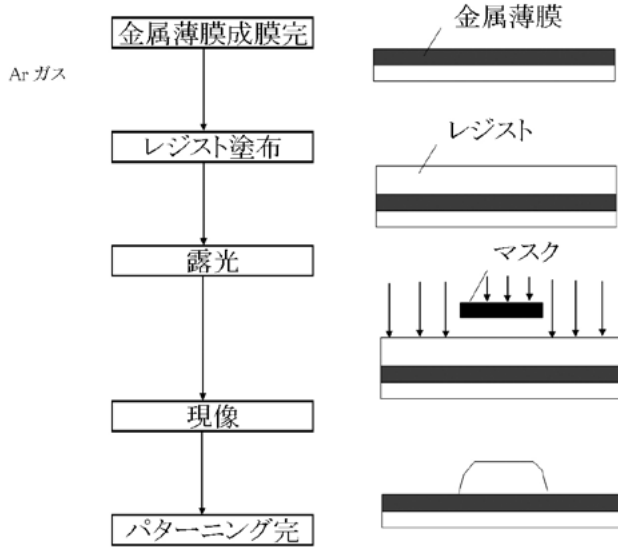


図5 パターニングのフロー (ポジ型)

表1 ドライエッチングとウェットエッチングの比較

	ドライエッチング	ウェットエッチング
エッチング溶媒	ガス	液
加工精度	良好	膜質に依存
テーパー加工法	可能	材料、膜質に依存
サイドエッチ量	小 (異方性エッチ)	大 (等方性エッチ)
選択比	比較的小	比較的大
プロセスダメージ	大きい (プラズマダメージ)	小さい
装置価格	高価 (真空装置)	安価