

## 技術解説

## 3次元システム・イン・パッケージ技術

Three-Dimensional System in Packaging Technology

藤田 和 弥\*<sup>1</sup>

Kazuya Fujita

神 吉 達 夫\*<sup>2</sup>

Tatsuo Kamiyoshi

## 要 旨

携帯電話などの携帯機器は高機能・多機能・高性能化が加速度的に進展することで、システム規模とメモリ容量の増大により部品点数は増加の方向にある。そのような状況の中で、小型・軽量化の要求を満たすには、実装密度を大幅に向上できる3次元実装技術がキーテクノロジーになってきた。当社が世界で初めて開発した2個のメモリを1個のCSPに搭載したスタックドCSPは携帯電話用途でのデファクトスタンダードとなり、現在4チップまでの積層化技術を開発し、業界最大容量の複合メモリを実現した。さらに、1～2チップを搭載した超薄型パッケージ(0.4～0.5mm厚)を多段積層できるパッケージスタック技術を新たに開発した。積層化に伴う歩留まり低下の問題が少ない、デバイスの組み合わせ自由度が高く、メモリ容量変更等に対する柔軟性も高い等の利点があり、チップスタック技術と共に今後の3次元システム・イン・パッケージ(SIP)技術として期待される。

As mobile phones are becoming more sophisticated and powerful in their functionalities, component counts tend to increase due to larger system-scale and memory capacity. In this background, the 3-D packaging technology has become a key technology for meeting the need for compactness and lightness.

Sharp developed the world's first stacked CSP that integrates two memory chips into a single CSP, which has become the de facto standard in mobile phone applications. It further advanced the technology and now has a 4-chip stacked CSP and has achieved the largest capacity in combo memory in the industry.

Sharp has also developed a novel package stacking technology enabling multi-layer stacking of ultra-thin packages (0.4~0.5mm in thickness) with up to 2 chips. This technology has various advantages, such as smaller decline in yield caused by stacking and higher flexibility in device combinations and in memory capacity. This holds great promise as a 3-D system-in-package technology together with its chip stacking technology.

## まえがき

携帯電話やカメラ一体型VTRがアナログ方式からデジタル方式に変遷していった90年代半ばから高密度実装技術の重要性が高まり、ICパッケージ、受動部品、実装基板、実装装置等の実装関連分野での技術進化が急激に進化してきた。例えば、ICパッケージはリード端子を周辺配置したQFP、TSOP等から、高密度化を図るためにボール端子をエリアアレイ状に配置したBGAタイプへと移行していった。さらに端子ピッチを0.8mm以下にファインピッチ化したものが、

超小型パッケージのCSP(Chip Size Package)である。CSPは96年から携帯電話やカメラ一体型VTRへの採用が始まり、いまでは携帯機器向けの主流パッケージに成長している。CSPは究極の小型パッケージとも呼ばれているが、ベアチップ以上の実装効率にはならず、システムのさらなる大規模化・高速化と小型・軽量化の両方の要求を満たしていくには、従来の2次元実装から3次元実装への転換が必要になってきた。3次元実装はベアチップ以上の高密度化が可能であるとともに、実装基板上の配線長やデバイス間の相互接続配線長の短縮による電気特性の改善にも有効である。

\*1 IC事業本部 プロセス開発センター パッケージ技術部 \*2 IC事業本部 フラッシュメモリ事業部 第3商品開発部

本稿では、当社の3次元SIP技術であるチップレベル積層の“スタックドCSP技術”とその具体的アプリケーション、そして超薄型パッケージを自在に多段積層する新規構造SIPの“パッケージスタック技術”について、以下に解説する。

### 1. 携帯電話の小型化とICパッケージ動向

携帯電話の小型化とICパッケージ動向の変遷を図1に示す。近年のICパッケージの急激な高密度化の進展は携帯電話によって牽引されている。先ず、96年に国内で通話専用機である第2世代機にCSPが初めて採用された。メモリ用は現在でも0.8mm端子ピッチが主流であるが、ASIC用はピン数の増加に伴い0.65mm、0.5mmへとファインピッチ化している。携帯電話はフラッシュメモリをプログラムメモリに、SRAMをワークメモリとして組み合わせて使っており、当社はこれらのメモリを混載したスタックドCSPを98年に世界で初めて量産化した。その後、このスタックドCSP複合メモリの適用比率は飛躍的に拡大し、今では世界市場の携帯電話の約50%以上に適用されるまでに至っている。これがきっかけで“3次元実装の実用化”に拍車がかかった。その後、インターネット機能が付与された第2.5世代機の出現でシステム規模の拡大やメモリ容量の増大による部品点数の増加が進み、さらにモバイルカメラ機能の付与やクラムセルタイプ化による体積・重量増大を少しでも抑制するために、さらなる高密度実装技術が要求されるようになった。そのような動向に対応して、当社は「フラッシュメモリ」、「SRAM」、「ScRAM(DRAMメモリセルを使用した新規大容量RAM)」を積層した3チップ、4チップのスタックドCSPを次々に開発・量

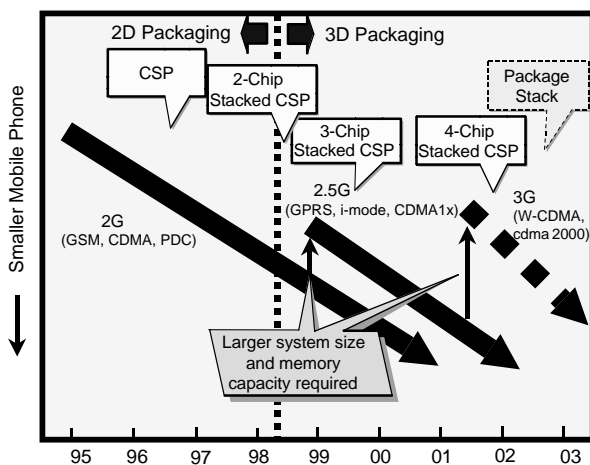


図1 携帯電話の小型化とパッケージ技術動向  
Fig. 1 Smaller mobile phone and packaging technology trend.

産化した。今後、本格的に普及していく第3世代携帯電話では、これらのチップスタック技術や新規開発したパッケージスタック技術を駆使した3次元実装技術の重要度がさらに増大していく。

スタックドCSPによる複合メモリもSIPの一種ではあるが、システム・ブロック全体をSIP化することで、さらに実装密度の向上と電気的特性の改善が期待できる。1チップのシステムLSI化であるSOC(システム・オン・チップ)と比較すると、3次元SIPは実装面積、開発期間、開発コスト、仕様変更の容易性等の点で優位であり、今後採用拡大に向けて活発化していく。

### 2. スタックドCSP技術

#### 2.1 スタックド・パッケージ技術の推移

図2に当社のスタックド・パッケージ技術の推移とシリコン実装効率を示す。3次元SIPのスタートは、従来パッケージのリードフレームダイパッドの両面に2個のLSIチップを搭載したスタックドTSOP/QFPである。さらに高密度化を実現するために、CSP技術をベースとしてチップを積層化したスタックドCSP技術を世界で初めて開発し、2チップ、3チップ、4チップと積層数を順次拡大させることで、実装効率を大幅に向上できた。究極の実装技術と言われているベアチップ実装やウェハレベルCSPの実装効率は最大で100%であるが、スタックドCSPは200~300%の高い値を実現できるので、次世代の大容量メモリやSIPの実現に有効な技術である。

#### 2.2 パッケージ構造

図3にスタックドCSPのパッケージ構造(ここでは4チップ)を示す。従来のCSPと同様1層配線のテー

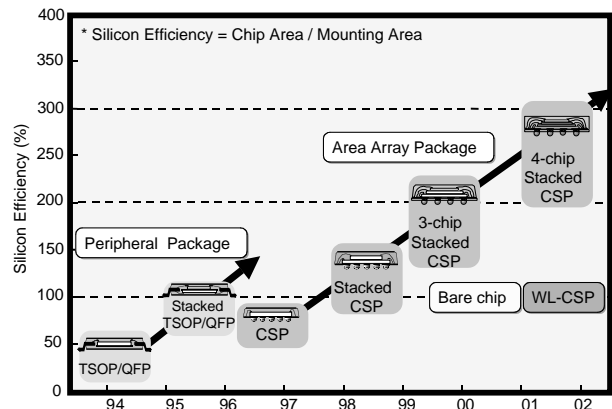


図2 スタックド・パッケージ技術とシリコン実装効率  
Fig. 2 Stacked packaging technology and silicon efficiency.

ブ基板や2層配線のリジッド基板に2～4個のLSIをフェイスアップ方向で積層化し、各LSIからCSP基板へ多段のワイヤボンドを行っている。ワイヤボンド方式は設計面でのフレキシビリティが高く、信頼性、コスト面でも有利である。ボール端子ピッチはメモリ用が0.8mm、ピン数が多くなるロジックとメモリの組み

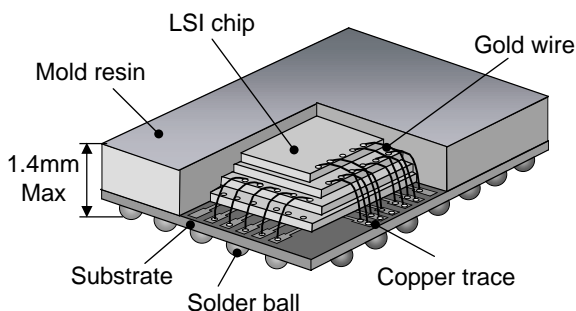
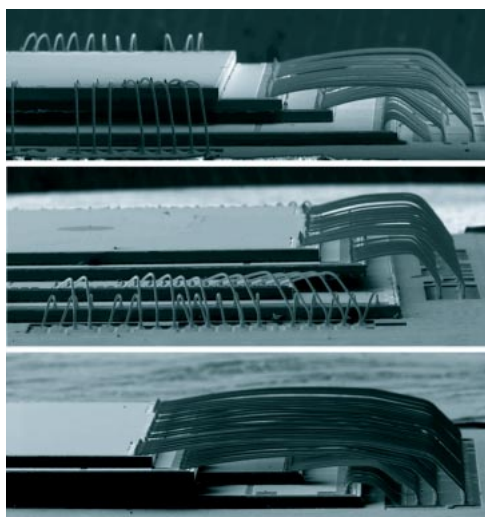


図3 スタックドCSP構造(4チップ)  
Fig. 3 Package structure of Stacked CSP (4-chip).



【combination of wire bonding】

図4 4チップスタックドCSP(複合メモリ)のチップ積層状態  
Fig. 4 State of chip stacking in a 4-chip stacked CSP (Combo memory).

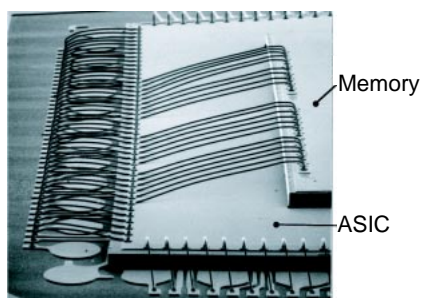


図5 スタックドCSPのASIC+メモリへの適用例  
Fig. 5 Example of application of Stacked CSP to ASIC and memory.

合わせ等では0.65mm、0.5mmも対応可能である。パッケージ高さは、携帯機器の薄型化に対応するため、3チップおよび4チップの場合でも2チップ品と同様1.4mm Max.に抑えている。図4に4チップスタックドCSP(複合メモリ)のチップ積層状態を示す。複合メモリでのワイヤボンディング方向は4方向と2方向の両方に対応でき、組み合わせ自由度を上げることができる。また、ASICとメモリへのスタックドCSP適用例を図5に示す。メモリ端子との接続を考慮したASIC設計とチップ間ボンディング技術の適用により最適なワイヤリングデザインを実現している。

### 2・3 スタックドCSPの技術動向

当社のスタックドCSPの技術動向を図6に示す。高密度化(積層数拡大)、スタック化の適用拡大、薄型化、はんだ接合の高信頼性化に向けて開発を推進し、(1)4チップまでの多層スタック化、(2)横置きタイプのマルチチップスタック、(3)同一チップサイズのスタック化、(4)薄型2層配線リジッド基板による配線自由度の拡大、(5)パッケージ厚の薄型化(2チップ品で1.2mm)、(6)厚型リジッド基板による実装信頼性向上を実現している。今後もさらにチップスタックドCSPの進化に向けて開発を推進していく。

### 3. スタックドCSPのアプリケーション例

スタックドCSP技術のアプリケーション例として、複合メモリを紹介する。複合メモリは、フラッシュメモリとSRAMを一つのパッケージに納めた製品であり、携帯電話用途として製品化している。携帯電話で必要とされるメモリは、CPUのプログラム格納用、携帯電話での電源OFF時の必要最小限のデータを残しておくデータバックアップ用、CPUのワークメモリ、と3つに分けられる。電源オフ時にもデータが消えない不揮発性メモリとして、読み出し動作が高速かつ、データの書き換えが容易にできるフラッシュメモリが最適であり、データバックアップ時の電源にボタン電池を使用するため、メモリの待機時電流が少ないSRAMが最適である。また、ワークメモリとして使用するため、従来、高速な読み出し、書き込み動作可能なSRAMが採用されていた。ところが、文字情報(メール)、画像転送、そして白黒表示からカラー表示と、携帯電話の付加機能が増加し大容量のメモリが必要になったため、現在はSRAMよりも大容量に適したScRAMがその役割を担っている。複合メモリの製品例として、3～4チップを積層した製品ラインナップを表1に示す。表中の

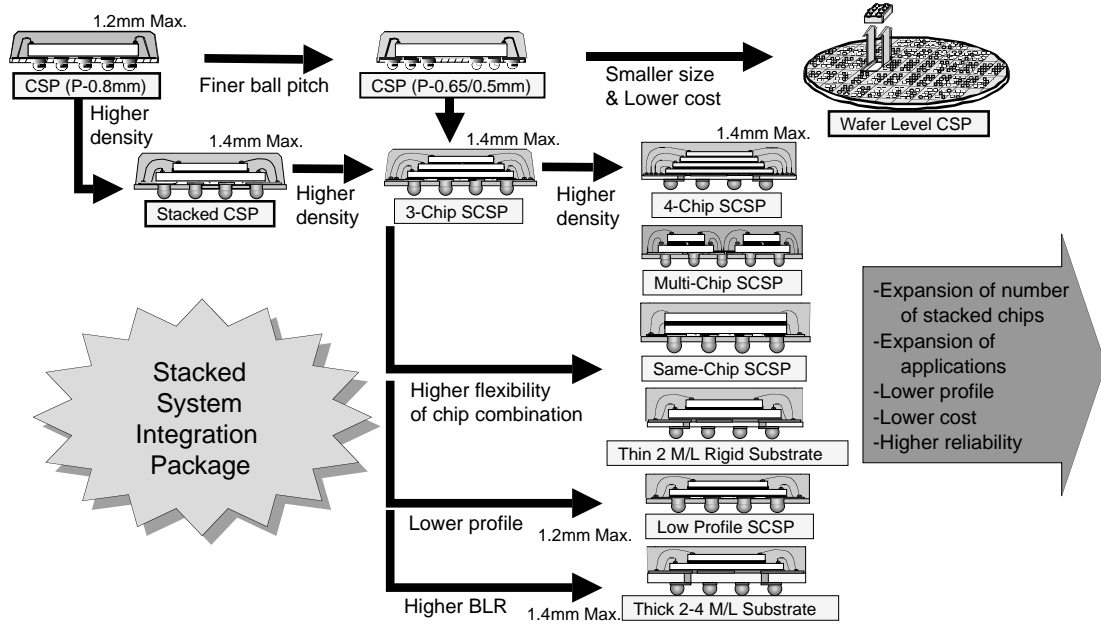


図6 当社のスタックドCSP技術動向  
Fig. 6 Technology trend of Sharp's Stacked CSP.

表1 複合メモリのラインアップ(3,4チップスタックドCSP)

Table 1 Combo memory line-up (3,4-chip Stacked CSP).

FlashMemory (Boot block&x16)	RAM(x16)					
	72Mbit	64Mbit	40Mbit	36Mbit	32Mbit	20Mbit
	64MSc+8MS	64MSc	32MSc+8MS	32MSc+4MS	32MSc	16MSc+4MS
128Mbit 64MNOR+64MNOR	LRS1B07 200Mbit!		LRS1B06	LRS1B03	LRS1B16	
96Mbit 64MNOR+32MNOR				LRS1B04		LRS1B02
80Mbit 64MNOR+16MNOR						LRS1B01 100Mbit

LRS1B07は、64Mbitフラッシュメモリを2チップに64MbitScRAM, 8MbitSRAMを組み合わせて、合計容量200Mbitとなる業界最大容量(2001年12月現在)を実現している。

#### 4. パッケージスタック技術

##### 4.1 パッケージ構造

このパッケージは図7に示すように、1~2チップを搭載した超薄型パッケージをパッケージレベルで多段積層した構造の3次元SIPである。チップスタック技術とパッケージ薄型化技術により2チップ積層で0.5mm厚を実現した。超薄型化のために2層配線基板

の中央部に貫通穴(デバイスホール)を設け、その内部にチップが2段積層され、ワイヤボンダによる基板との接続後、樹脂封止される。樹脂封止部の外側にはパッケージ表裏両面に積層用及び基板実装用の端子が0.5mmピッチでエリア状に配置されている。表面側端子は上段パッケージ搭載用ランド、裏面側は半田ボール構造になっている。メモリの場合は、搭載チップ数が多いこと、スタックドCSPで豊富な実績があること、そしてパッケージコストを考慮すると2チップタイプが有利になる。その結果、複合メモリでは6チップで最大1.5mm厚の薄型化を達成した。システムLSIでは、1チップタイプのASICの上に2チップタイプのメモリが多段積層される構造が考えられ、5チップ積層では最大1.4mm厚を実現できる。

この技術でSIP化を実現するには、図8に示すようなパッケージ積層を考慮した端子配置の考え方を適用する必要がある。メモリデバイスについては、フラッシュメモリ、SRAM、ScRAMの複合メモリに対応した端子配置(パッケージ表面と裏面)と外形サイズを標準化する。ASICデバイスは、パッケージ表面にメモリデバイスを接続するための端子を配置しておく。パッケージ裏面側の端子配置はメモリ搭載ASICとしてカスタム仕様になる。

##### 4.2 パッケージスタックの特長とチップスタックとの棲み分け

図9にチップスタックとパッケージスタックのメ

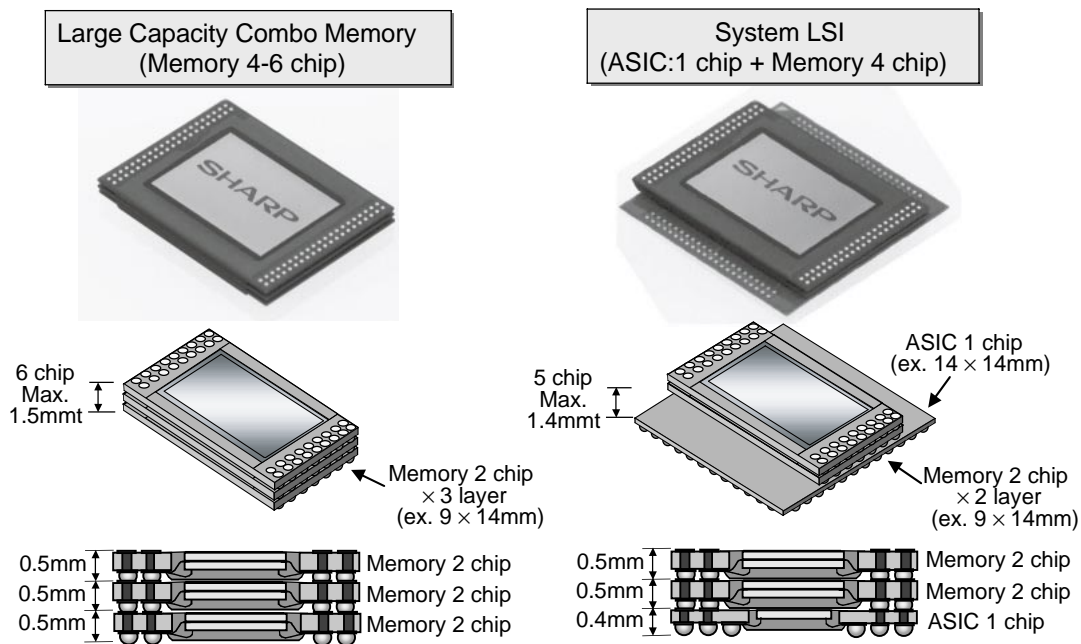


図7 パッケージスタック技術(多段積層3次元SIP)  
Fig. 7 Package stack technology (Multi-layer 3D SIP).

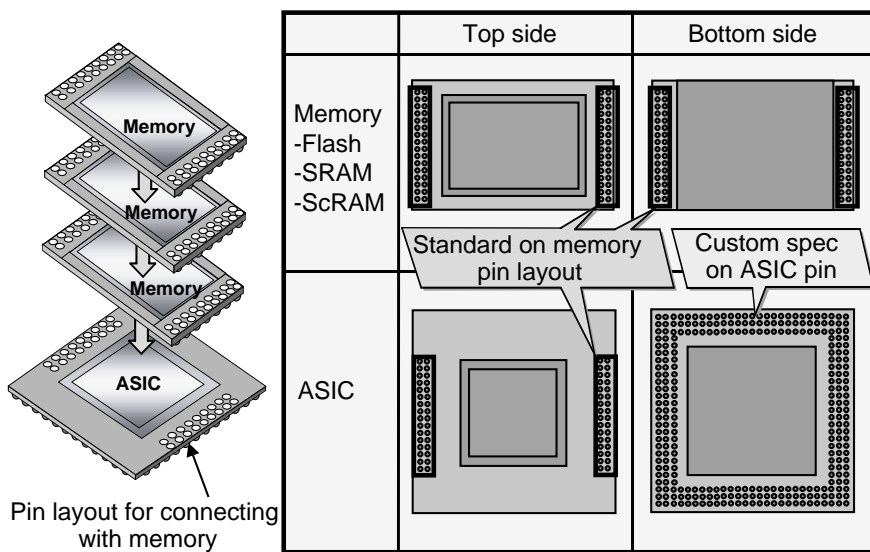


図8 SIPデバイスの端子配置提案  
Fig. 8 Proposal on pin layout for SIP device.

リット比較とSIP適用デバイスに対する積み分けの考え方を示す。チップスタックは、(1)パッケージサイズが小さく、(2)アセンブリコストは有利(テスト歩留まりは除く)である。また、既に複合メモリとして4チップまでをカバーしていることから、複合メモリ用としてはチップスタックが主流になると考える。一方、パッケージスタックには、次のようなメリットがある。(1)電気テスト良品のみを積層できるので歩留まりの問題が少なく、適用デバイスや積層数に対する制約が小さい、(2)端子標準化によりデ

バイスの組み合わせ自由度が高い、(3)受動部品の搭載も可能、(4)個別のLSIを組み合わせるため、メモリ容量等の仕様変更にも柔軟に対応できる、(5)LSI個別でパッケージングや電気テストができるため、他社製LSIとの組み合わせが容易になり、SIP化の課題であったKGDの入手性、品質保証の問題を解決できる。以上のことから、パッケージスタックは、ASIC、メモリ等を混載したシステムLSI用SIPに適した3次元パッケージ技術として期待できる。  
携帯電話のベースバンド部への3次元SIPの適用効

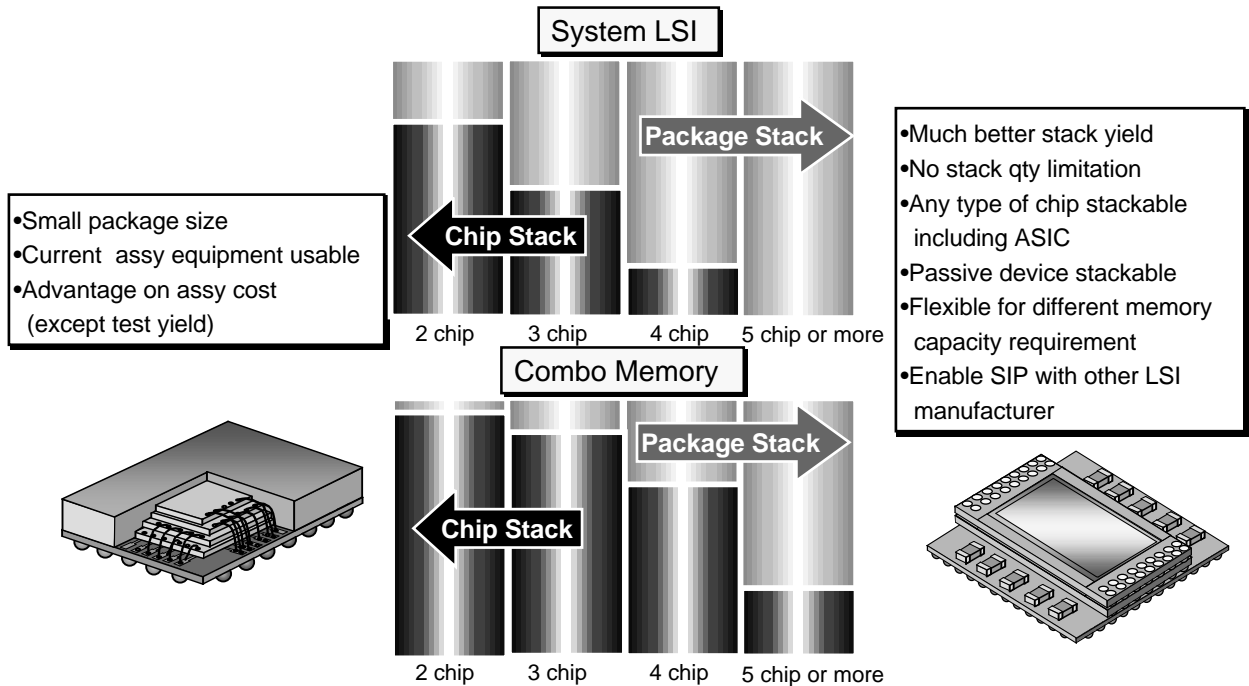


図9 チップスタックとパッケージスタックの棲み分け  
Fig. 9 Market segregation of chip stack and package stack.

果をCSP, スタックドCSP, パッケージスタックと比較した結果を図10に示す。チップ構成は第2.5世代機の標準的な仕様として、ベースバンドLSI, フラッシュメモリ2個, SRAM, ScRAMの5チップと仮定した。4チップスタックドCSPを適用しても2パッケージ構成になるが、パッケージスタックではベースバンド上にメモリをすべて積層できるため、最も実装密度を向上できる。

むすび

近年、加速度的に進展している携帯電話の高機能・多機能・高性能化と小型化の実現は、CSPやビルドアップ基板を始めとした高密度実装技術に負うところが大きい。特に、複合メモリをチップ積層したスタックドCSPがデファクトスタンダード化したことで、3次元実装技術によるシステム・イン・パッケージ(SIP)技術が特長商品創出のキーテクノロジーとなってきた。

当社は、チップスタック技術として最大4チップまでのスタックドCSPを開発・量産するとともに、1~2チップを搭載した超薄型パッケージを自在に多段積層できるパッケージスタック技術の新構造のSIP技術として開発した。これらの3次元SIP技術により、ユーザの多様なニーズに対応した超小型のシステム・ソリューションを低コストでタイムリーに提供できると確信する。

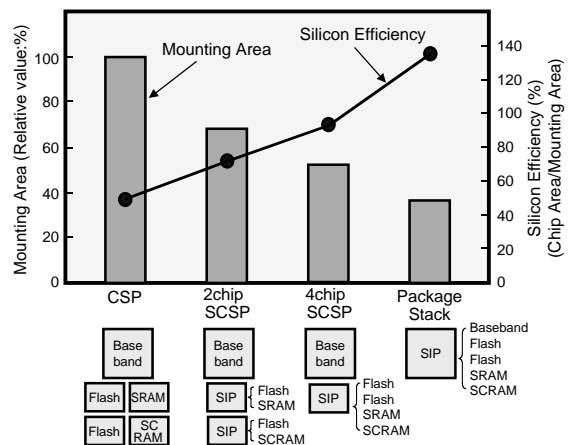


図10 携帯電話ベースバンド部への3次元SIP適用効果  
Fig. 10 Application effects of 3D SIP to baseband part of mobile phone.

参考文献

- 1) 藤田, 他, "スタックドCSP技術", シャープ技報 第71号, pp.58-63 (1998)
- 2) 藤田, "スタックドCSP技術", KEC情報誌 NO.180, pp.19-23 (2002)
- 3) 藤田, 他, "スタックドCSP技術", エレクトロニクス実装技術 4月号, pp.34-40(2002)
- 4) Y.Yano, K.Fujita, "Three-dimensional Very Thin Stacked Packaging Technology for SiP", ECTC, pp. 1329-1334(2002) (2002年5月27日受理)